دانشکده برق و مهندسی پزشکی

دستور کار

آزمایشگاه سیستم‌های دیجیتال ۱

تهیه و تدوین:

نوید ایزدخواستی

محسن سیاوشی

زیرنظر:

دکتر حمیدرضا رضایی ده سرخ

فروردین ۹۷

فهرست مطالب	صفحــه
مقدمه: آشنایی با مدارهای منطقی	۱
آزمایش ۱: مدارهای مجتمع و دروازه‌های منطقی	٤
آزمایش ۲: طراحی دروازه‌ها و مدارهای منطقی به کمک دروازه NAND	۹
آزمایش ۳: مدارات ترکیبی	۱۲
آزمایش ٤: جمع کننده‌ها	۱۳
آزمایش ٥: بیت توازن، کد انعکاسی، مقایسه کننده‌ها	۱٥
آزمایش ٦: مدارهای دیکدر، انکدر، مالتی پلکسر و دی مالتی پلکسر	۱۷
آزمایش ۷: نمایشگر ۷ قسمتی	۲۰
آزمایش ۸: مدارهای ترتیبی	۲۳
آزمایش ۹: شمارنده‌ها	۲۷
آزمایش ۱۰: ثبات‌های انتقالی	۳۱
آزمایش ۱۱: آشنایی با FPGA و برد DE2_115 شرکت ALTERA	۳۳
آزمایش ۱۲: آشنایی با نرم افزار Quartus و نحوه طراحی با استفاده از امکانات شماتیک	٤۰
آزمایش ۱۳: طراحی مدار جمع کننده کامل و نحوه شبیه‌سازی طرح	٤۹
آزمایش ۱٤: طراحی نمایشگر ۷ قسمتی و نحوه پیاده‌سازی طرح بر روی برد DE2	٦٥
آزمایش ۱٥: طراحی و پیاده سازی مدار ترتیبی	۷۲
اطلاعات مربوط به IC های مورد استفاده در آزمایشگاه	۷٤

مقدمه

مدارهای منطقی در طراحی و ساخت کلیه کامپیوترهای امروزی و سیستم‌های دیجیتال به عنوان مدارهای اساسی و پایه به کار برده می‌شوند.

مدارهای منطقی به دو دسته ترکیبی و ترتیبی تقسیم می‌گردند. یک مدار ترکیبی متشکل از تعدادی گیت منطقی است که خروجی آن‌ها در هر لحظه مستقیما به وسیله ورودی‌های همان لحظه معین می‌شود و به ورودی‌های قبلی بستگی ندارد. این نوع مدار عمل پردازش اطلاعات خاصی را انجام می‌دهد که تمامی این اطلاعات به وسیله مجموعه ای از توابع بول به فرم منطقی مشخص شده اند. یک مدار ترکیبی شامل متغییرهای ورودی ، گیت‌های منطقی و متغییرهای خروجی است. گیت‌های منطقی سیگنال‌هایی را از ورودی دریافت کرده و سیگنال‌های دیگری را برای خروجی تهیه می‌کند. این فرآیند اطلاعات دودویی داده شده در ورودی را به اطلاعات مورد نیاز در خروجی تبدیل می‌کند. مدارهای ترکیبی شامل انواع مدارهای مجتمع، گیت‌ها، کد کننده‌ها، دیکدرها، مالتی پلکسرها، جمع کننده‌ها و .... می‌باشند. طراحی مدارهای ترکیبی با تعریف لفظی مسئله شروع شده و با دیاگرام منطقی مدار با به مجموعه ای از توابع بول که با استفاده از آن‌ها می‌توان به سادگی دیاگرام منطقی را بدست آورد ختم می‌شود و شامل مراحل زیر است:

- تعریف مسئله
- تعیین تعداد ورودی‌های موجود و خروجی‌ها مورد نیاز
- اطلاق سمبل‌های القایی به ورودی‌ها و خروجی‌ها
- تشکیل جدول درستی که ارتباط لازم بین ورودی‌ها و خروجی‌ها را مشخص کند
- به دست آوردن تابع بول ساده شده برای هر خروجی
- رسم دیاگرام منطقی

مدارهای ترتیبی علاوه بر گیت‌های منطقی از المان های حافظه (سلول دودویی) نیز استفاده می‌کنند. خروجی این مدارها تابعی از ورودی آن‌ها و حالت المان‌ها ی حافظه است که المان‌های حافظه خود تابعی از ورودی‌های قبلی هستند. در نتیجه خروجی یک مدار ترتیبی نه تنها به ورودی‌های فعلی بلکه به ورودی‌های قبلی نیز بستگی دارد و عملکرد کدار باید به وسیله حالت داخلی آن و ترتیب زمانی وارد شدن ورودی مشخص گردد. مدارهای ترتیبی، اطلاعات دودویی را از ورودی‌ها دریافت می‌کنند و این ورودی‌ها به همراه حالت عناصر حافظه، یک مقدار دودویی را در پایانه‌های خروجی مشخص می‌نماید. آن‌ها همچنین مشخص می‌کنند که در چه وضعیتی عناصر حافظه تغییر حالت می‌دهند.

برای طراحی مدارهای ترتیبی باید مراحل زیر را انجام داد:

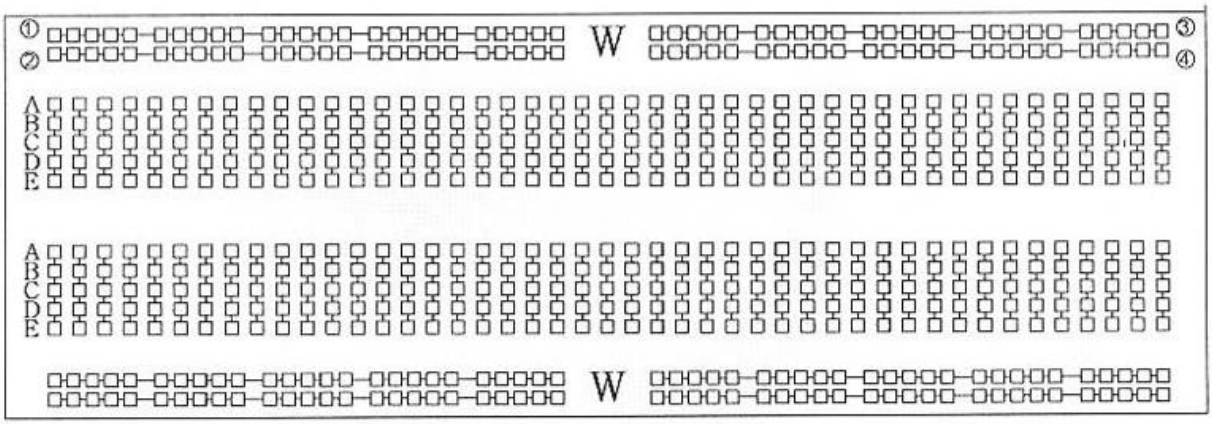
- با توجه به توصیف مسئله، جدول حالت را بدست آورید
- از تکنیک‌های کاهش حالت برای یافتن جدول حالت یک مدار با حداقل حالت استفاده کنید
- با تخصیص یک حالت، جداول حالت و جداول گذر خروجی را کنترل کنید
- وسایل حافظه و فلیپ فلاپ‌های مورد استفاده را مشخص کنید و نقشه‌های ترکیب فلیپ فلاپ‌ها را بدست آورید. همچنین نقشه‌های خروجی را تشکیل داده و معادلات منطقی خروجی را تعیین کنید.
- از نقشه‌های تحریک، معادله منطقی سوئیچینگ را بدست آورید
- نمودار منطقی را برای مدار ترتیبی با استفاده از معادلات منطقی و وسایل حافظه انتخابی ترسیم کنید

در درس مدارهای منطقی دانشجویان انواع مختلفی از مدارهای ترکیبی و ترتیبی را طراحی می‌کنند و با آن‌ها آشنا می‌شوند. در بحث آزمایشگاه مربوط به این درس سعی شده است تا دانشجوبان تا حد زیادی مدارات طراحی شده را پیاده سازی کنند و به طور عملی نحوه کار این مدارات را بررسی کنند.

در این آزمایشگاه از وسایل زیر استفاده می‌شود:

- برد بورد (Bread board):

برد بورد وسیله ای برای بستن مدارهای مختلف الکترونیکی جریان پایین است و از آنجا که می‌توان به راحتی آی‌سی و قطعات مختلف الکترونیکی را روی آن سوار و ارتباط‌های لازم را با سیم و بدون لحیم کاری برقرار کرد، کاربرد وسیعی در آزمایشگاه‌ها و مراکز تحقیقاتی دارد. در بردبورد تعدادی از سوراخ‌ها از زیر به یکدیگر متصل می‌باشند. در شکل زیر اتصال‌های بردبورد آمده است:



قسمت‌های ۱، ۲، ۳ و ۴ به صورت افقی به هم متصل بوده و اتصال عمودی ندارند و بوسیله حرف W نوشته شده روی بردبورد قسمت ۱ و ۲ از قسمت ۳ و ۴ جدا می‌شوند. از قسمت افقی بیشتر برای تغذیه و زمین مدار استفاده می‌شود. حروف A، B، C، D و E به صورت عمودی به هم متصل بوده و اتصال افقی ندارند.

- پروب منطقی (Logic Prob)

از این وسیله برای بررسی ولتاژ نقطه ای از مدار استفاده می‌شود به گونه ای که با قرار دادن پروب منطقی در نقطه ای از مدار، در صورت یک بودن ولتاژ آن نقطه چراغ پروب منطقی روشن می‌ماند و در صورت صفر بودن چراغ آن خاموش می‌شود.

- منبع تغذیه:

مدارهایی که در این آزمایشگاه پیاده سازی می‌شوند با ولتاژ ثابت 5^{V} کار می‌کنند. به همین خاطر برای تامین ولتاژ مورد نیاز مدارها از دستگاهی (منبع تغذیه دوبل) استفاده می‌شود که ولتاژ ثابت 5^{V} را تولید می‌کند و دارای دو پایه مثبت و منفی است که از پایانه مثبت برای Vcc یا ولتاژ بالا و از پایانه منفی به عنوان زمین (GND) مدار استفاده می‌شود.

- سیگنال ژنراتور:

برای تولید کلاک و فرکانس‌های مورد نیاز از این دستگاه استفاده می‌شود که انواع سیگنال‌های‌سینوسی، مثلثی و مربعی و خروجی TTL را تولید نموده و می‌توان فرکانس مورد نظر را در یک محدوده فرکانسی از 0.1 هرتز تا یک مگاهرتز تنظیم نمود. در بخش طراحی و پیاده سازی مدارهای ترتیبی برای تولید کلاک از سیگنالی با فرکانس کم استفاده می‌شود که توسط این دستگاه تولید می‌شود.

آزمایش ۱: مدارهای مجتمع و دروازه‌های منطقی

هدف آزمایش:

در این آزمایش دانشجویان با ساختار و تکنولوژی‌های مختلف مدارهای مجتمع و همچنین دروازه‌های منطقی آشنا می‌شوند و آن‌ها را بررسی می‌کنند.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش (Bread Board) تراشه‌های ۷۴۳۲،۷۴۰۸ ، ۷۴۰۴،۷۴۰۰ و دیود نورانی.

تئوری آزمایش:

- آشنایی با مشخصات تراشه‌های مورد نیاز آزمایش و بررسی دروازه‌های منطقی AND،OR وNOT.
- مدارهای دیجیتال با مدارهای مجتمع ساخته می‌شوند. یک مدار مجتمع (IC) یک کریستال کوچک نیمه هادی سیلیکون به نام تراشه (Chip) است که قطعات الکترونیکی لازم برای پیاده‌سازی گیت‌های دیجیتال را در خود دارد. تراشه در داخل یک محفظه پلاستیکی و یا سرامیکی جاسازی می‌شود و اتصالات آن با سیم‌های طلایی نازک به پایه‌های خارجی جوش داده می‌شود تا مدار مجتمع بوجود آید. تعداد پایه‌ها ممکن است از ۱۴ پایه در بسته‌های کوچک تا ۶۴ پایه و بیشتر در بسته‌های بزرگ تغییر کند. ICها را براساس پارامترهای مختلف دسته‌بندی می‌کنند.

دسته بندی ICها بر اساس تعداد گیت‌هایی که می‌تواند در یک تراشه جای گیرد:

- مدارهای مجتمع با مقیاس کوچک (SSI)
- مدارهای مجتمع با مقیاس متوسط (MSI)
- مدارهای مجتمع با مقیاس بزرگ (LSI)
- مدارهای مجتمع با مقیاس بسیار بزرگ (VLSI)

دسته بندیIC ها بر اساس تکنولوژی به کار رفته در ساخت آن:

- RTL
- DTL
- TTL
- ECL
- MOS
- CMOS

در زمان استفاده از خانواده TTL توجه داشته باشید که برخی از انواع آن به قرار زیر است:

- TTL استاندارد (سری 74)
- TTL سرعت بالا (سری 74H)
- TTL کم مصرف (سری 74L)
- TTL شاتکی (سری 74S)
- TTL شاتکی کم مصرف (سری 74LS)
- TTL شاتکی کم مصرف پیشرفته (سری 74ALS)

مشخصه خانواده‌های منطقی دیجیتال معمولاً با تحلیل گیت مبنا در هر خانواده با یکدیگر مقایسه می‌گردند. برای این کار باید پارامترهای برون‌دهی (fan-out) توان مصرفی، تأخیر در انتشار و مصونیت در مقابل نویز را در نظر داشت.

با بررسی این پارامترها داریم:

	DTL	TTL						ECL	MOS	CMOS
		74	74H	74L	74S	74LS	74 ALS			
تاخیر درانتشار(ns)	۳۰	۱۰	۶	۳۳	۳	۹	۴	۲	۱۰۰تا۵۰	۲۵
توان‌مصرفی‌هردروازه(mw)	۱۵	۱۰	۲۲/۵	۱	۲۰	۲	۱	۲۵	۰/۲۵	^{nw}۱۰
برون دهی (f.o)	۸	۱۰	۱۰	۱۰	۱۰	۱۰	۱۰	۲۵	>۵۰	>۵۰
مصونیت در مقابل نویز	خوب	خوب	خوب	خوب	خوب	خوب	خوب	متوسط	عالی	عالی

هر آی‌سی در یک بسته با پایه‌های خاص بسته‌بندی می‌شود. نحوه صحیح خواندن پایه‌های یک تراشه و نیز روش تشخیص اولین پایه آن و مشخصات دیگری که برای شناسایی و کار با تراشه لازم است، ابزارهای اولیه کار در آزمایشگاه مدارهای منطقی هستند.

چنانکه در شکل زیر نیز مشخص است در محل پایه ۱ آی‌سی علامت خاصی وجود دارد. از جمله مشخصاتی که بر روی تراشه حک می‌گردد، علامت کارخانه سازنده است که می‌تواند یک یا چند حرف و یا شکل باشد. نام تراشه نیز توسط شماره مشخص می‌شود. البته باید توجه داشت که روش شماره‌گذاری در شرکت‌های مختلف یکسان نبوده و در رابطه با شرکت‌های مختلف باید به برگه اطلاعات (data sheet) منتشر شده همان شرکت مراجعه نمود. اطلاعات دیگری که ممکن است بر روی تراشه مشاهده گردد شامل تاریخ ساخت تراشه (دو رقم برای سال و دو رقم برای هفته)، نام کشور سازنده و شماره انبار باشد.

M : سازنده تراشه

4021 : شماره تراشه

Buffered CMOS : B

● : نشانه شروع شمارش پایه

Data Code : CP

1978 : 78

24_{th} week : 24

به هر آی‌سی شماره‌ای اختصاص می‌یابد که بر روی آن به منظور شناسایی چاپ شده است. تولیدکنندگان کتابچه‌هایی را چاپ نموده‌اند که حاوی توضیحات و کلیه اطلاعات مربوط به آی‌سی‌های تولید شده آن‌ها است. به عنوان مثال، ۶ NOT دروازه را داخل یک آی‌سی قرار داده‌اند و به آن شماره ۷٤۰٤را اختصاص داده‌اند. اطلاعات مربوط به آی‌سی‌های استفاده شده در این آزمایشگاه در انتهای دستور کار ضمیمه شده است.

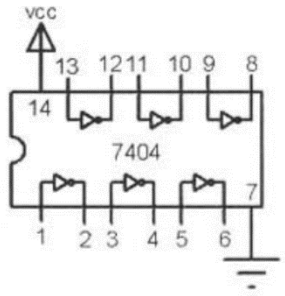
مراحل انجام آزمایش:

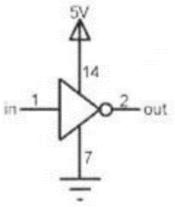
الف) در این آزمایش تراشه ۷٤۰٤ را که حاوی شش دروازه (NOT) می‌باشد را مورد آزمایش قرار می‌دهید. مراحل این آزمایش استثنا به تفضیل شرح داده می‌شود، اما در مورد آزمایشهای دیگر مطالب خلاصه‌تر گفته خواهد شد.

ابتدا تراشه ۷٤۰٤را بر روی صفحه آزمایش قرار دهید و به ترتیب زیر آن را تغذیه نمایید. سر مثبت منبع تغذیه ۵ ولت را به یکی از سوراخ‌های بالاترین ردیف صفحه آزمایش متصل نمایید و سر منفی منبع تغذیه را به یکی از سوراخ‌های پایین‌ترین ردیف صفحه آزمایش متصل کنید. از این پس ردیف بالای صفحه آزمایش ردیف ۵ ولت و ردیف پایین، ردیف زمین نامیده خواهد شد. اکنون سر شماره ۷ تراشه ۷٤۰٤را به وسیله سیم به ردیف زمین متصل نمایید. این کار با اتصال دادن یکی از سوراخ‌های ستون زیر سر شماره ۷ به ردیف زمین انجام می‌شود.

پایه شماره ۱۴ تراشه ۷٤۰٤را به وسیله سیم به ردیف ۵ ولت متصل نمایید. اکنون تراشه به طور صحیح تغذیه شده است. پایه شماره ۱ گیت NOT، به عنوان ورودی و پایه شماره ۲ به عنوان خروجی در نظر بگیرید. با اتصال‌دادن پایه شماره ۱ به ردیف زمین یا ردیف ۵ ولت، ولتاژ ورودی صفر ولت (سطح L) و یا ۵ ولت (سطح H) به دست می‌آید. ولتاژ خروجی (پایه شماره ۲) توسط پروب منطقی (Logic Probe) مشخص می‌شود.

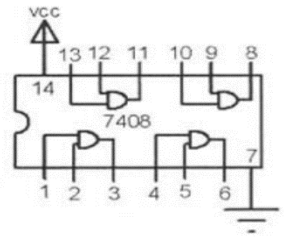
با اعمال ورودی مطابق جدول زیر، قسمت خروجی جدول را کامل کنید.

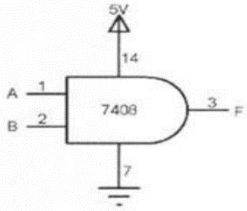




خروجی	ورودی
	L
	H

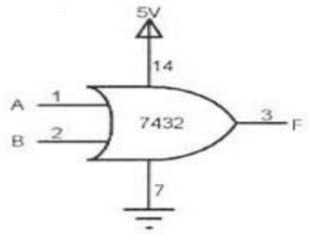
ب) یک تراشه ۷٤۰۸ (حاوی ۴ دروازه AND با دو ورودی) را روی صفحه آزمایش قرار دهید و آن را تغذیه نمایید. (پایه‌های ۷ و ۱۴ را به ترتیب به ردیف‌های زمین و ۵ ولت متصل سازید) با استفاده از پایه‌های ۱ و ۲ دروازه AND به عنوان ورودی و پایه ۳ به عنوان خروجی، جدول زیر را کامل کنید.





A	B	خروجی
L	L	
L	H	
H	L	
H	H	
L	باز	
باز	L	
H	باز	
باز	باز	

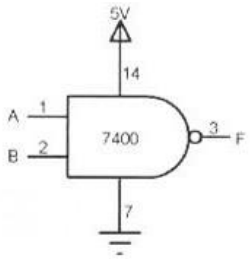
ج) با استفاده از یک تراشه ۷٤۳۲ (شامل ۴ دروازه OR با دو ورودی) با پایه‌های ۱ و ۲ به عنوان ورودی و پایه ۳ به عنوان خروجی جدول زیر را کامل کنید.



A	B	خروجی
L	L	
L	H	
H	L	
H	H	
L	باز	
باز	L	
H	باز	
باز	باز	

د) با استفاده از یک تراشه ۷۴۰۰ (حاوی چهار دروازه NAND با دو ورودی) با پایه‌های ۱ و ۲ به عنوان ورودی و پایه ۳ به عنوان خروجی جدول زیر را کامل کنید.

A	B	خروجی
L	L	
L	H	
H	L	
H	H	
L	باز	
باز	L	
H	باز	
باز	باز	



با توجه به جدول فوق، اگر سر ورودی دروازه NAND باز بماند، این ورودی معادل چه ولتاژی عمل می‌کند؟

هـ) حالت خروجی یک مدار را می‌توان به کمک LED (دیود نورانی) مشاهده نمود. برای این کار خروجی مدار را توسط یک مقاومت به LED متصل کنید. (برای این کار خروجی را توسط یک مقاومت به آند LED معمولاً پایه بلندتر وصل و کاتد آن معمولاً پایه کوتاه تر را به زمین متصل کنید). مقاومت به منظور محدود کردن شدت جریان و جلوگیری از سوختن دیود و تراشه به کار رفته است و مقدار آن حدود 100تا 300 اهم می‌باشد. حال خروجی آزمایش قبلی را با LED مشاهده نمایید .

پرسش‌ها:

۱) با توجه به نتایج آزمایش‌ها، اگر پایه ورودی یک دروازه از تراشه‌های TTL آزاد بماند، آن ورودی معادل چه ولتاژی (L یا H) عمل می‌نماید؟

۲) با توجه به این واقعیت که سر ورودی نبایستی باز بماند، سرهای مصرف نشده را باید به چه سطح ولتاژی متصل نماییم؟

این سؤال را در مورد دروازه‌های NAND و یا NOR پاسخ دهید.

آزمایش ۲: طراحی دروازه‌ها و مدارهای منطقی به کمک دروازه NAND

هدف آزمایش:

در این آزمایش دانشجو با طراحی دروازه‌های NOT،AND و OR و ترکیبات آن‌ها به کمک دروازه NAND دو ورودی آشنا می‌شود.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، تراشه ۷۴۰۰، دیود نورانی

تئوری آزمایش:

مدارهای دیجیتال اغلب به جای اینکه با گیت‌های AND و OR ساخته شوند با گیت‌های NAND و NOR ساخته می‌شوند. ساختن گیت‌های NAND و NOR نسبت به گیت‌های AND و OR ساده‌تر بوده و به عنوان گیت‌های پایه در تمام خانواده‌های آی‌سی‌های منطقی به کار می‌روند. به دلیل مزیت گیتهای NAND و NOR در طراحی مدارهای دیجیتال، اصول و قواعدی برای تبدیل توابع بولی بیان شده بر حسب AND، OR و NOT به دیاگرام منطقی NAND و NOR معادل به وجود آمده است. قاعده به دست آوردن دیاگرام منطقی NAND از یک تابع بولی به شرح زیر است:

۱) تابع را ساده کرده و آن را به فرم جمع حاصلضرب‌ها بنویسید.

۲) برای هر جمله ضرب موجود در تابع که حداقل دارای دو متغیر است یک گیت NAND بکشید. ورودی هر گیت NAND متغیرهای آن جمله هستند. این مجموعه، گیتهای طبقه اول را تشکیل میدهند.

۳) در طبقه دوم یک گیت NAND با ورودی‌هایی که از خروجی‌های طبقه اول می‌آیند بکشید.

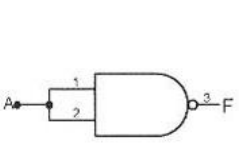
۴) یک جمله تک متغیری در طبقه اول نیازمند یک معکوس کننده است.

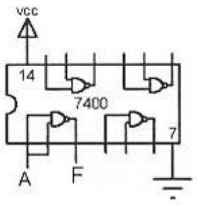
تابع NOR دوگان تابع NAND است. به همین دلیل همه روال‌ها و قواعد منطقی NOR دوگان روال‌ها و قواعد منطقی NAND می‌باشد.

مراحل انجام آزمایش:

الف) مدارهای ۱تا ۶ را که در جدول زیر مشخص شده‌اند را بسته و به ازای ترکیبات مختلف ورودی، آن‌ها را آزمایش نموده و جدول مربوطه را پر کنید و با توجه به جداول به دست آمده مشخص کنید که هر مدار معادل چه دروازه منطقی عمل میکند. خروجی هر مدار را به کمک LED مشاهده نمایید.

۱)

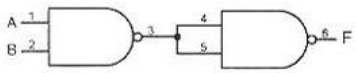


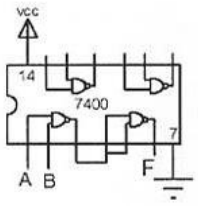


ورودی	F
L	
H	

→ دروازه =....

۲)

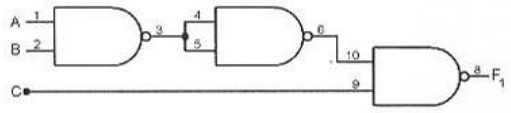




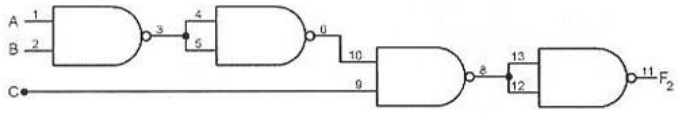
A	B	F
L	L	
L	H	
H	L	
H	H	

→ دروازه =....

۳) دروازه =....

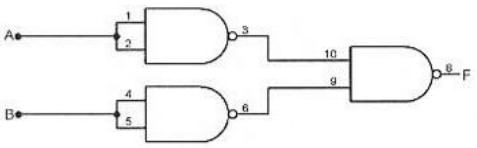


۴) دروازه =....



A	B	C	F_1	F_2
L	L	L		
L	L	H		
L	H	L		
L	H	H		
H	L	L		
H	L	H		
H	H	L		
H	H	H		

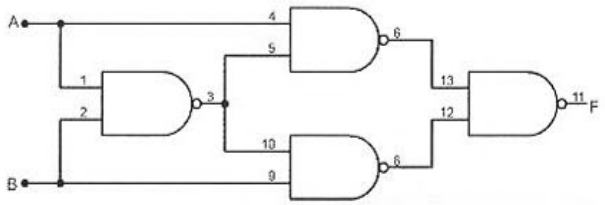
۵)



A	B	F
L	L	
L	H	
H	L	
H	H	

→ دروازه =....

۶)



A	B	F
L	L	
L	H	
H	L	
H	H	

ب) با استفاده از فقط دروازه‌های NAND تابع دروازه XOR را پیاده سازی کنید و صحت جدول درستی آن را بررسی کنید.

پرسش‌ها:

۱) روال طراحی به کمک دروازه NOR را به طور کامل توضیح دهید.

آزمایش ۳: مدارات ترکیبی

هدف آزمایش:

در این آزمایش دانشجو با طراحی مدارهای ترکیبی آشنا می‌شود.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، دیود نورانی، تراشه های ۷۴۰۰، ۷۴۰۸ و ۷۴۳۲

تئوری آزمایش:

روال طراحی مدارهای ترکیبی در بخش مقدمه دستور کار آمده است.

تمرینات اولیه:

۱- مداری ترکیبی با چهار ورودی A و B و C و D و یک خروجی F به گونه ای طراحی کنید که هرگاه A=1 باشد F برابر ۱ است به شرطی که B=0 باشد یا اگر B=1 باشد C یا D نیز برابر ۱ باشند. در غیر اینصورت خروجی برابر صفر خواهد بود.

- جدول درستی مدار را به دست آورید.
- تابع خروجی را ساده کنید.
- با استفاده از گیت‌های NAND نمودار منطقی مدار را رسم کنید.

۲- برای رای گیری در یک هیئت ۴ نفره (A,B,C,D) هر شخص رای خود را توسط یک کلید صادر می‌کند. اگر رای نفر A معادل دو رای، نفر B معادل یک رای و نفرات C وD هرکدام معال سه رای باشند، مداری طراحی کنید که هرگاه اکثریت آرا حاصل شد یک چراغ روشن شود(چراغ‌ها با یک منطقی روشن و با صفر منطقی خاموش می‌باشند).

- جدول درستی مدار را به دست آورید.
- تابع خروجی را ساده کنید.

مراحل انجام آزمایش:

الف) با استفاده از آی‌سی‌های ۷۴۰۰ (حاوی چهار دروازه NAND دو ورودی) مدار طراحی شده در قسمت تمرین ۱ را بر روی صفحه آزمایش پیاده سازی کنید و صحت جدول درستی آن را بررسی کنید. خروجی را به کمک LED مشاهده کنید.

ب) با استفاده از آی‌سی‌های ۷۴۰۸ و ۷۴۳۲ مدار طراحی شده در قسمت تمرین ۲ را بر روی صفحه آزمایش پیاده سازی کنید و صحت جدول درستی آن را بررسی کنید. خروجی را به کمک LED مشاهده کنید.

آزمایش ۴: جمع‌کننده‌ها

هدف آزمایش:

طراحی مدارات جمع‌کننده کامل و جمع‌کننده چهار بیتی و آشنایی با تراشه جمع‌کننده چهار بیتی 7483.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، دیود نورانی، تراشه‌های ۷٤۰۰، ۷٤۸۳ و ۷٤۸٦

تئوری آزمایش:

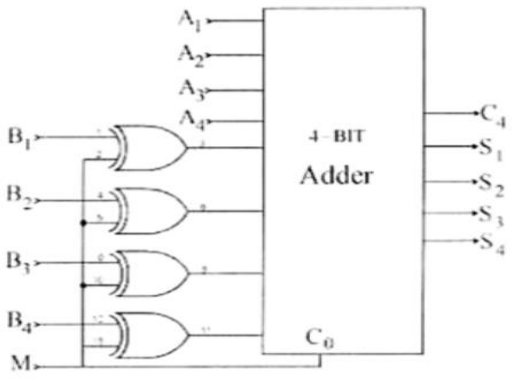
کامپیوترهای دیجیتال اعمال پردازش اطلاعات گوناگونی را انجام می‌دهند که از میان آن‌ها اعمال مختلف حساب، اعمال اصلی و اساسی به شمار می‌روند و بدون شک اساسی‌ترین عمل حساب، جمع دو رقم دودویی است. این جمع ساده از چهار عمل مقدماتی 0=0+0 و 1=1+0 و 1=0+1 و 10=1+1 تشکیل می‌شود که حاصل جمع سه عدد اول، عددی یک رقمی است و آخرین عمل، حاصلی دو رقمی دارد که رقم مرتبه بالای این حاصل‌جمع را رقم نقلی (Carry) می‌نامند. مداری که جمع دو رقم دودویی ورودی را انجام داده و حاصل‌جمع و رقم نقلی را تولید می‌کند، نیم جمع‌کننده (Half Adder) و مداری که جمع سه رقم دودویی (دو رقم دودویی و رقم نقلی حاصل از ستون قبل) را انجام داده و حاصل‌جمع و رقم نقلی را تولید می‌کند، تمام جمع‌کننده (Full Adder) نام دارد.

تمرینات اولیه:

۱) با استفاده از تراشه‌های 7400 (حاوی چهار دروازه NAND دو ورودی) و ۷٤۸٦ (حاوی چهار دروازه XOR دو ورودی) یک تمام جمع کننده طراحی نمایید.

۲) با استفاده از بند ۱یک جمع کننده ۴ بیتی طراحی کنید

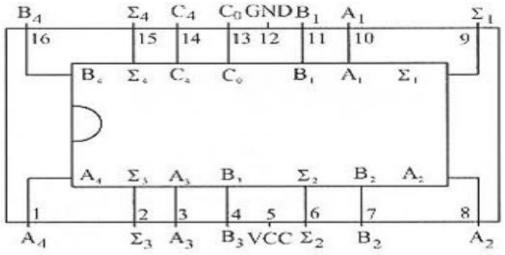
۳) نحوه عملکرد مدار زیر را بررسی کنید .



مراحل انجام آزمایش:

الف) مدار تمام جمع‌کننده طراحی شده در بخش ۱ را بسته و جدول ترکیبات آن را به وسیله آزمایش بدست آورید.

ب) با استفاده از آی‌سی ۷۴۸۳ و ۷۴۸۶ مداری که در قسمت تمرین ۳ آمده است را بسته و مورد آزمایش قرار دهید و به ازای چند ترکیب ورودی، عملکرد مدار را بررسی کنید.



	A				B					$\Sigma_{(S)}$			
C_0	A_4	A_3	A_2	A_1	B_4	B_3	B_2	B_1	C_4	Σ_4	Σ_3	Σ_2	Σ_1
0	0	0	0	0	0	0	0	0					
0	0	0	0	1	0	0	0	1					
0	0	0	1	1	0	0	0	1					
1	0	1	0	0	0	1	0	0					
1	0	1	1	1	1	0	0	0					
0	1	1	1	1	1	1	1	1					
1	1	1	1	1	1	1	1	1					
1	0	1	1	0	1	0	1	0					

پرسش‌ها:

۱)با استفاده از تراشه ۷٤۸۳ مداری برای جمع کردن دو عدد ۸ بیتی طراحی نمایید. طرح خود را دقیقاً رسم کنید.

آزمایش ۵: بیت توازن، کد انعکاسی، مقایسه کننده‌ها.

هدف آزمایش:

در این آزمایش، دانشجویان با مدارات تولیدکننده بیت توازن، مبدل کد باینری به کد انعکاسی و مقایسه‌کننده‌ها آشنا می‌شوند و آن‌ها را طراحی و بررسی می‌کنند.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، دیود نورانی، تراشه‌های،۷۴۰۰ ، ۷۴۰۸ و ۷۴۸۶

تئوری آزمایش:

کدهای آشکارساز خطا:

اطلاعات دودویی ممکن است از یک مکان به مکان دیگر به کمک وسایل ارتباطی مثل سیم‌ها یا موج‌های رادیویی انتقال یابند. پارازیت‌های خارجی که وارد وسایل فیزیکی می‌شوند می‌توانند ارزش بیت‌ها را از صفر به یک و یا برعکس تغییر دهند. هدف از یک کد آشکارسازی خطا، یافتن خطاهایی از این قبیل است. معمول ترین روش خطایابی استفاده از بیت توازن است. یک بیت توازن بیتی است که به پیام اضافه می‌شود و سبب می‌شود که تعداد کل یک‌ها در پیام عددی زوج یا فرد گردد. بیت توازن در یافتن خطاها به هنگام انتقال اطلاعات بسیار مفید است.

کد انعکاسی (کد گِری):

این کد دارای خاصیت انعکاسی است. کلمات کد برای هر دو عدد متوالی تنها در یک بیت با هم اختلاف دارند.

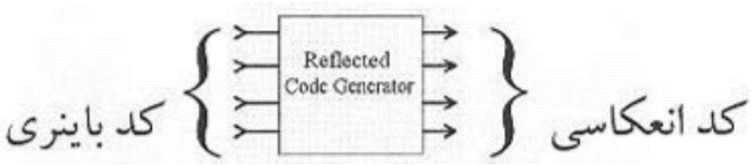
برای تبدیل عدد دودویی به معادل گِری داریم:

$$\begin{cases} (b_n b_{n-1} \ldots\ldots b_1)_2 = (g_n g_{n-1} \ldots\ldots g_1)_{gray} \\ g_n = b_n \quad , \quad g_k = b_k \oplus b_{k+1} \quad , \quad k = 1,2,\ldots\ldots, n-1 \end{cases}$$

تمرینات اولیه:

۱)مدار تولیدکننده رقم توازن زوج را برای کلمه‌های ۴ بیتی طراحی نمایید. ورودی مدار یک عدد باینری ۴ بیتی بوده و خروجی بیت پنجم است، به طوری که پنج بیت دارای توازن زوج باشد.

۲)یک مدار مبدل باینری به انعکاسی طراحی کنید(شکل زیر). ورودی این مدار یک عدد باینری چهار بیتی بوده و خروجی آن بایستی کد انعکاسی متناظر با ورودی باشد.



۳)یک مقایسه‌کننده سه بیتی طراحی نمایید. مدار دارای دو ورودی سه بیتی A و B و سه خروجی G و E و L است، بطوری‌که اگر A>B باشد G=1 و اگر A=B باشد E=1 و اگر A<B باشد L=1 می‌باشد. در هر حالت خروجی‌های دیگر صفر است.

۴)مشخصات کامل تراشه ۷٤۸٥ که یک مقایسه کننده ۴ بیتی است را بررسی نمایید.

۵)با استفاده از تراشههای ۷٤۸٥ یک مقایسه کننده هشت بیتی طراحی نمایید.

مراحل انجام آزمایش:

الف) با استفاده از آی‌سی ۷۴۸۶ مدار مبدل باینری به انعکاسی را بسته و برای کلیه حالات ورودی، درستی عملکرد مدار را بررسی نمایید.

ب) با استفاده از آی‌سی‌های ۷٤۰۰ و ۷٤۰۸ و ۷٤۸٦ مدار مقایسه کننده یک بیتی را بسته و آن را آزمایش نمایید.

پرسش‌ها:

۱) با توجه به نتایج به دست آمده بیت توازن زوج را برای کلمه‌های هشت بیتی طراحی کنید.

۲) اگر بخواهیم عدد باینری 0111 را به عدد باینری 1000 تبدیل نماییم و در هر مرحله تنها مجاز به تغییر حالت یک بیت باشیم، در طی چند مرحله این عمل انجام می‌شود؟ حال اگر کد گری متناظر با عدد باینری 0111 (0100) را به کد گری متناظر با عدد باینری 1000 (1100) تبدیل نمایید چند مرحله لازم است؟ از مقایسه این دو تبدیل چه نتیجه‌ای می‌گیرید؟

۳) مداری برای تولید بیت توازن فرد برای کلمه‌های چهار بیتی طراحی کنید.

۴) با استفاده از آی‌سی ۷٤۸٥ یک مقایسه‌گر ۱۶ بیتی بسازید.

آزمایش ۶: مدارهای دیکدر، انکدر، مالتی پلکسر و دی مالتی پلکسر

هدف آزمایش:

در این آزمایش دانشجو با مدارهای دیکدر (کدبردار)، انکدر (کدگذار)، مالتی پلکسر (انتخاب کننده داده) و دی‌مالتی‌پلکسر (پخش کننده داده) آشنا می‌شود و آن‌ها را طراحی کرده و مورد بررسی قرار می‌دهد.

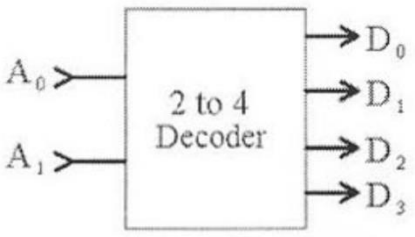
وسایل لازم:

منبع تغذیه، صفحه آزمایش، دیود نورانی، تراشه‌های۷۴۰۸ ، ۷۴۰۰

تئوری آزمایش:

دیکدر (کد بردار):

دیکدر n به 2^n، یک شبکه منطقی ترکیبی شامل n ورودی و 2^n سیگنال خروجی می‌باشد. برای هر حالت ورودی، فقط و فقط یک خروجی در منطق یک است. بنابراین می‌توان دیکدر n به 2^n را مولد مینترم تصور کرد، که هر خروجی‌اش دقیقاً یک مینترم است. از دیکدرها برای کارهایی همچون گزینش کلمه‌ای خاص از میان بسیاری که در حافظه قرار دارند، تبدیل کد (مثل دودویی به دهدهی) و راهدهی (Routing) داده‌ها استفاده می‌شود. دیکدرها و دیگر ماژول‌های عملیاتی اغلب دارای یک یا چند ورودی فعال‌ساز می‌باشند که می‌توانند برای غیرفعال و یا فعال کردن آن‌ها مورد استفاده قرار گیرند. در شکل زیر بلوک دیاگرام و جدول درستی یک دیکدر ۲ به ۴ را مشاهده می‌کنید. بر اساس حالتهای مختلف ورودی‌ها، یکی از خروجی‌ها ۱ می‌شود و بقیه صفر می‌باشند.



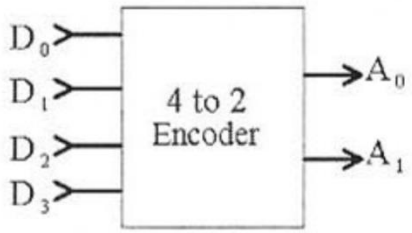
A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

انکدر (کدگذار):

انکدر یک ماژول منطقی ترکیبی است که برای هر سیگنال ورودی به دستگاه، یک کد خروجی منحصر به فردی را اختصاص می‌دهد. چنین عملی بر خلاف عملکرد دیکدر است. مدار انکدر دارای 2^n خط ورودی و n خط خروجی است. ابتدا حالتی را در نظر می‌گیریم که ورودی‌ها متقابلاً جدا از یکدیگر هستند یعنی در هر لحظه از زمان فقط و فقط یک ورودی فعال می‌باشد و هرگز دو یا چند ورودی به طور همزمان فعال نمی‌شوند. در این

حالت خطوط خروجی آدرس، خطی را که فعال و با بقیه متفاوت است را مشخص می‌کند، در این حالت ترکیبات ورودی که هرگز رخ نمی‌دهند، ممکن است به عنوان حالات بی‌اهمیت به کار روند.

در شکل زیر بلوک دیاگرام و جدول درستی انکدر ۴ به ۲ را مشاهده می‌کنید .



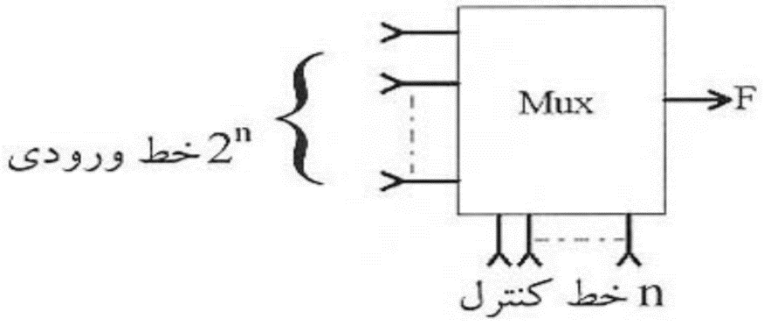
D_3	D_2	D_1	D_0	A_1	A_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1
بقیه حالات				*	

نوع دیگری از انکدرها، انکدر اولویت دار می‌باشد. انکدر اولویت دار اجازه می‌دهد تا چند خط ورودی فعال شوند، ولی عدد دودویی خارج شده مربوط به آن اندیسی از ورودی است که در خطوط ورودی، بالاترین اولویت را دارد. اگر هیچ یک از خطوط ورودی فعال نباشد، انکدر با اولویت خروجی، صفر را تولید می‌نماید. اگر فقط یک خط فعال باشد انکدر مقدار دودویی اندیس خط فعال را خارج می‌کند. اگر بیش از یک ورودی فعال باشد، انکدر مقدار عددی اندیس بزرگتر خطوط فعال را بیرون می‌فرستد.

مالتی پلکسر (انتخاب‌کننده داده):

یک ماژول منطقی ترکیبی است که یکی از چند خط ورودی را انتخاب و آن را روی خط خروجی ظاهر می‌سازد. مداری است با n خط کنترل (به عنوان آدرس) و حداکثر 2^n خط ورودی (به عنوان اطلاعات) که بر اساس فرمانی که توسط خطوط کنترل دریافت می‌کند، یکی از ورودی‌ها را به تنها خروجی منتقل می‌کند.

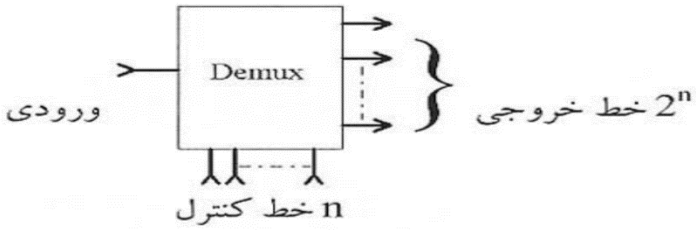
در شکل زیر بلوک دیاگرام یک مالتی پلکسر را مشاهده می‌کنید.



دی مالتی پلکسر (پخش‌کننده داده):

یک ماژول است که یک خط ورودی را گرفته و آن را به یکی از چند خروجی مرتبط می‌کند. مداری است با n خط کنترل به عنوان آدرس، 2^n خط خروجی و تنها یک ورودی جهت ورود اطلاعات. بر اساس فرمانی که بر روی خط کنترل می‌آید، ورودی به یکی از خروجی‌ها منتقل می‌شود.

شکل زیر بلوک دیاگرام مربوط به یک پخش‌کننده داده را نشان می‌دهد.



تمرینات اولیه:

۱) با استفاده از آی‌سی‌های ۷۴۰۴ و ۷۴۰۸ یک دیکدر ۲ به ۴ طراحی کنید.

۲) با استفاده از آی‌سی ۷۴۰۰ یک انکدر ۴ به ۲ طراحی کنید.

۳) با استفاده از آی‌سی ۷۴۰۰یک مالتی پلکسر ۲ به ۱ طراحی کنید.

۴) با استفاده از آی‌سی ۷۴۰۰یک دی مالتی پلکسر ۱به ۴ طراحی کنید.

۵) با استفاده از یک انتخاب‌کننده داده ۴ به ۱تابع $F(A,B,C)=\sum(0,2,4,5)$ را طراحی کنید.

مراحل انجام آزمایش:

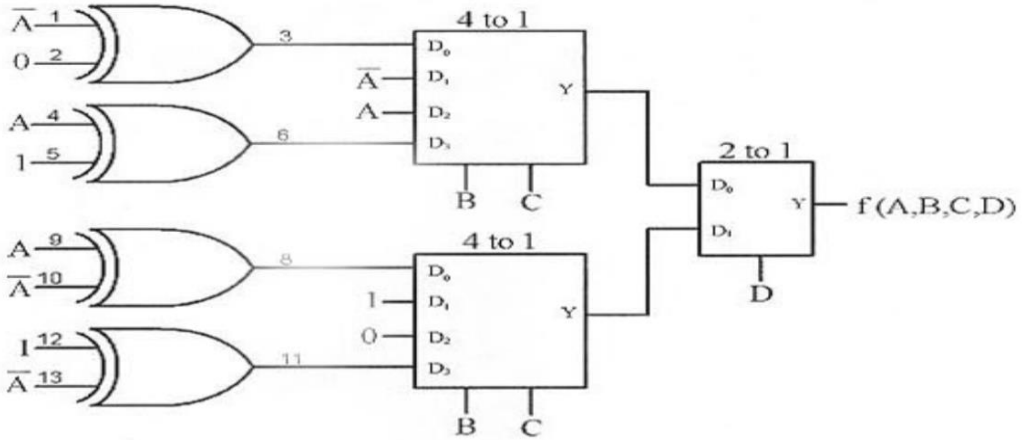
الف) مدارهاي ديكدر ۲ به ٤، انكدر ٤ به ۲ و مالتي پلكسر ۲ به ۱ را كه در قسمت قبل طراحي نموده ايد را بسته و آن‌ها را مورد آزمايش قرار داده و نتايج را يادداشت كنيد. خروجيها را توسط LED مشاهده كنيد.

پرسش‌ها:

۱) با استفاده از دیکدرهای ۲ به ۴ دیکدرهای ۳ به ۸ و ۴ به ۱۶را طراحی کنید.

۲) با استفاده از مالتی پلکسرهای ۴ به ۱ یک مالتی پلکسر ۱۶ به ۱ را طراحی کنید.

۳) برای مدار شکل زیر لیست مینترم تابع $F(A,B,C,D)$ را پیدا کنید.



آزمایش ۷: نمایشگر هفت قسمتی (7-Segment)

هدف آزمایش:

در این آزمایش دانشجو با نمایشگر هفت قسمتی و تراشه‌های کد بردارBCD به نمایشگر هفت قسمتی و طراحی آن‌ها آشنا می‌شود و آن‌ها را بررسی می‌کند.

وسایل لازم:

منبع تغذیه، صفحه آزمایش، نمایشگر هفت قسمتی کاتد مشترک و تراشه 7448

تئوری آزمایش:

برای نشان دادن اعداد ذخیره شده در ثبات‌ها و یا شمارنده‌ها، می‌توان از نمایشگرهای هفت قسمتی استفاده کرد.

نمایشگرهای هفت قسمتی از هفت دیود منتشرکننده نور (در بعضی موارد یک دیود هم برای نقطه اعشاری) ساخته شده‌اند.

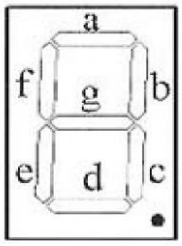
ترکیبات انتخابی LEDها، برای ایجاد ارقام عددی و دیگر سمبل‌ها روشن می‌شوند. یک LED هنگامی‌که ولتاژ در ورودی آند به اندازه کافی مثبت‌تر از ولتاژ در کاتد باشد، روشن می‌شود. برای حداقل کردن تعداد سیگنال‌های کنترل، آندهای LEDها معمولاً در یک نقطه مشترک به هم وصل شده‌اند و لذا آن را آند مشترک می‌نامند و یا کاتدها به هم وصل شده‌اند که آن را کاتد مشترک می‌گویند. در پیکربندی آند مشترک، آند معمولاً به ولتاژ بالا متصل شده و کاتدها به طور جداگانه کنترل می‌شوند. در نتیجه اعمال یک ولتاژ منطق صفر موجب روشن شدن آن LED می‌گردد. در صورتی که یک منطقی، LED را غیرفعال می‌سازد. وضعیت پیکربندی کاتد مشترک بر عکس آند مشترک است. با توجه به خاموش و روشن شدن LEDها می‌توان ارقام و اشکال مختلفی را بر روی نمایشگر هفت قسمتی مشاهده کرد.

تمرینات اولیه:

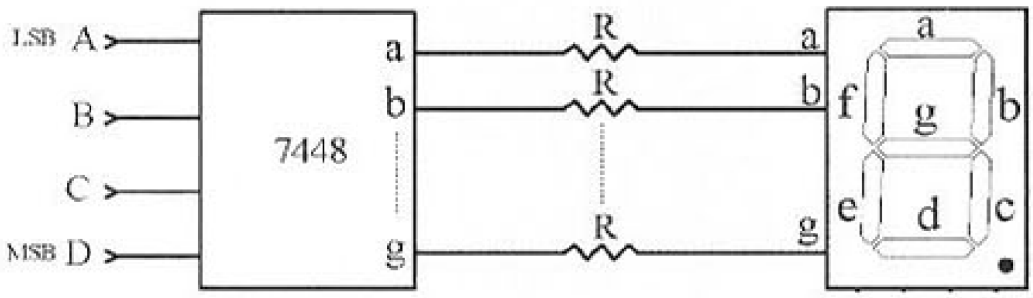
۱) یک مدار ترکیبی طراحی کنید که ورودی آن چهار بیت A و B و C و D بوده و خروجی‌های آن به ازای ترکیبات 1100 , 1101 , 1110 , 1111 به ترتیب علائم A ( ) , H ( ) , Y ( ) , S ( ) روی یک نمایشگر هفت قسمتی کاتد مشترک مشاهده شود. بقیه ورودی‌ها غیر مجاز می‌باشند.

مراحل انجام آزمایش:

الف) یک نمایشگر هفت قسمتی را بر روی صفحه آزمایش قرار داده و ارتباط بین پایه‌ها و دیودهای نورانی a تا g را به دست آورید. برای این کار در نمایشگر هفت قسمتی آند مشترک (کاتد مشترک) سر مشترک را توسط یک مقاومت حداقل 100 اهم به ولتاژ بالا (ولتاژ پایین برای کاتد مشترک) متصل می‌کنیم، سپس با اتصال ولتاژ پایین (ولتاژ بالا) به هر یک از پایه‌ها و روشن شدن هر یک از دیودهای نورانی a تا g ارتباط بین پایه‌ها و دیودهای نورانی را به دست می‌آوریم و نام هر دیود نورانی را بر روی پایه مربوط به آن می‌نویسیم.



ب) تراشه ۷٤٤۸ را مطابق شکل زیر به یک نمایشگر هفت قسمتی کاتد مشترک متصل کرده و به ازای کلیه حالات ورودی (0000 تا 1111) علائم مشاهده شده بر روی نمایشگر را یادداشت کنید. توجه داشته باشید که مقاومت‌های نشان داده شده در شکل جهت جلوگیری از سوختن نمایشگر و تراشه ضروری می‌باشد.



-حال پایه شماره ۳ تراشه (Lamp Test) را به ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی، علائمی که بر روی نمایشگر ظاهر می‌شود را یادداشت کنید و کار پایه LT را نتیجه‌گیری کنید.

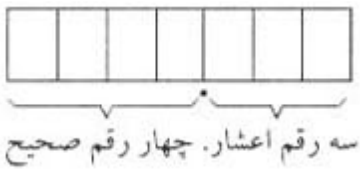
-مدار را به حالت اولیه برگردانید و حال پایه شماره ۴ تراشه را به ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی، علائمی که بر روی نمایشگر ظاهر می‌شود را یادداشت کرده و کار پایه شماره ۴ را نتیجه بگیرید.

-مدار را به حالت اولیه برگردانید، سپس پایه شماره ۵ تراشه را به ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی (0000 تا 1111) اشکال نشان داده شده توسط نمایشگر را یادداشت کنید. همچنین در هر حالت، ولتاژ پایه شماره ۴ را با یک LED یا پروب منطقی تشخیص دهید.

پرسشها:

۱- تراشه‌های ۷۴۴۷ و ۷۴۴۸ و ۴۵۱۱ را با هم مقایسه کنید و تفاوت‌های اساسی آن‌ها رابیان کنید.

۲- جهت نمایش دادن یک عدد ده دهی از هفت نمایشگر کاتد مشترک استفاده شده است که طبق شکل زیرسه رقم آن اعشاری و چهار رقم آن ارقام صحیح را نشان می‌دهند. اگر از تراشه ۷۴۴۸ به عنوان کدبردار BCD به هفت قسمتی استفاده شود، در هر یک از حالات زیر اتصالات لازم بین تراشه‌ها را طراحی و رسم نمایید:



۲-۱: صفرهای سمت چپ عدد صحیح نمایش داده نشود (مثلا عدد 0065.505 بصورت 65.505 مشاهده شود).

۲-۲ : صفرهای سمت راست قسمت اعشاری نمایش داده نشود (مثلا عدد 1234.500 بصورت 1234.5 مشاهده شود).

۲-۳ :دو حالت فوق به طور همزمان وجود داشته باشد(مثلا عدد0001.100 بصورت 1.1 مشاهده شود).

آزمایش ۸: مدارهای ترتیبی

هدف آزمایش:

در این آزمایش دانشجویان با مدارهای ترتیبی و اجزای تشکیل دهنده آن‌ها آشنا می‌شوند و این اجزا را بررسی می‌کنند.

وسایل لازم:

منبع تغذیه، صفحه آزمایش، دیود نورانی، تراشه‌های ۷۴۰۴، ۷۴۰۰ و سیگنال ژنراتور

تئوری آزمایش:

مدارهای ترتیبی، اطلاعات دودویی را از ورودی‌ها دریافت می‌کنند و این ورودی‌ها به همراه حالت عناصر حافظه، یک مقدار دودویی را در پایانه‌های خروجی مشخص می‌نماید. مدارهای ترتیبی از نظر مسائل زمانی سیگنال‌هایشان به دو نوع اساسی سنکرون و آسنکرون طبقه بندی می‌شوند. یک مدار ترتیبی سنکرون، سیستمی است که از روی سیگنال‌هایش در فواصل گسسته زمانی می‌توان عملکردش را تعیین نمود و در مقابل، عملکرد یک مدار ترتیبی آسنکرون به ترتیب تغییر سیگنال‌های ورودی آن که می‌توانند در هر لحظه از زمان روی مدار تأثیر کند وابسته است. عملکرد یک مدار ترتیبی سنکرون (همگام) به وسیله پالس همگام کننده‌ای به نام ساعت، که به حافظه مدار اعمال می‌گردد، کنترل می‌شود. مداری که با پالس ساعت کنترل می‌شود مدار ترتیبی همگام نامیده می‌شود. مداری را که فاقد سیگنال ساعت می‌باشد مدار ترتیبی غیرهمگام می‌نامند. عناصر حافظه‌ای که به طور معمول در مدارهای ترتیبی آسنکرون به کار می‌روند قطعات تأخیر زمانی هستند و عناصر حافظه‌ای که در مدارهای ترتیبی با پالس ساعت به کار می‌روند فلیپ فلاپ نامیده می‌شوند. فلیپ فلاپ‌ها سلول‌های دودویی هستند که قادر به ذخیره یک بیت از اطلاعات می‌باشند. یک فلیپ فلاپ قادر است تا وقتی که تحت تأثیر یک سیگنال ورودی برای تغییر حالت قرار نگرفته، یک حالت دودویی را به طور نامحدود در خود نگهداری کند. مدار یک فلیپ فلاپ دارای دو خروجی است (یکی برای مقدار طبیعی بیت ذخیره شده در آن و دیگری برای مکمل آن). تفاوت‌های اساسی که بین انواع گوناگون فلیپ فلاپ‌ها وجود دارد در تعداد ورودی‌هایشان و همچنین در طریقه تأثیر این ورودی‌ها بر حالت دودویی آن‌ها است

پالس ساعتی که در مدارهای ترتیبی مورد استفاده قرار می‌گیرد یا حساس به سطح (سطح مثبت یا سطح منفی) هستند و یا حساس به لبه (لبه پایین رونده یا منفی و یا لبه بالارونده یا مثبت).

مرسوم‌ترین انواع فلیپ فلاپ‌ها عبارت‌اند از: SR، JK، T و D

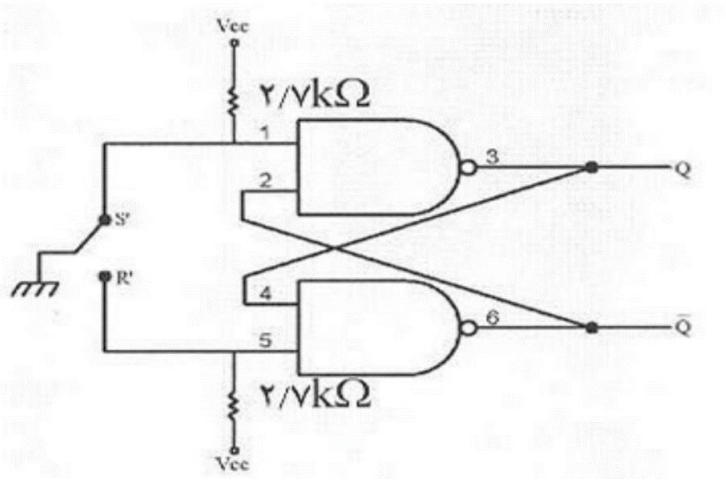
فلیپ فلاپ‌های موجود در آی‌سی‌ها، گاهی ورودی‌های مخصوصی دارند که برای یک و صفر کردن فلیپ فلاپ استفاده می‌شوند. این ورودی‌ها پیش تنظیم مستقیم و پاک کردن مستقیم نامیده می‌شوند. این ورودی‌ها توسط یک سیگنال مثبت (منفی) روی فلیپ فلاپ تأثیر می‌کنند و برای این منظور نیازی به پالس ساعت ندارند. آن‌ها برای دادن یک حالت اولیه در ابتدای کار به فلیپ فلاپ مناسب هستند. کلید پاک می‌بایست همه فلیپ فلاپ‌ها را بدون نیاز به پالس ساعت، صفرنماید. بعضی از فلیپ فلاپ‌ها نیز دارای یک ورودی پیش تنظیم هستند که خروجی Q را در فلیپ فلاپ یک کرده و Q' را صفر می‌کند.

چون در این آزمایش، آشنایی عملی با فلیپ فلاپ‌ها مدنظر می‌باشد، لازم است قبل از آزمایش، مطالعه کافی در این زمینه داشته و ضمن شناخت انواع فلیپ فلاپ‌ها، با مفاهیم همگام، ناهمگام، تریگر سطح و تریگر لبه نیز آشنا باشید.

تولید کلاک دستی (بدون نویز کلید):

هنگامی که با یک سوئیچ یا یک قطعه سیم (با اتصال به GND یا VCC) بخواهیم کلاک دستی تولید کنیم بایستی اغتشاش یا نویز حاصل هنگام قطع یا وصل کلید را برطرف کنیم. اغتشاش کلید به علت ارتعاشات نامحسوسی (زمانی حدود 10ms) می‌باشد که هنگام زدن کلید به وجود می‌آید، مانند شکل زیر:

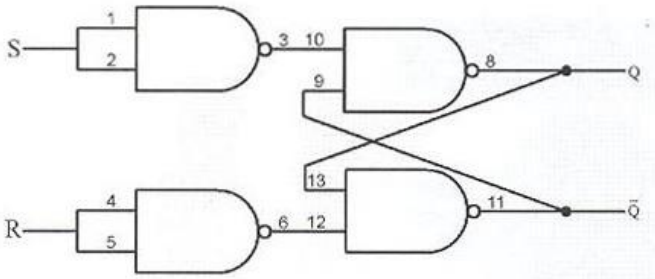
اغتشاش کلید می‌تواند باعث نتایج اشتباه در مدارات ترتیبی گردد. برای مثال در یک شمارنده باعث شمارش نامنظم می‌گردد. بنابراین بایستی آن را از کلاک دستی یا سوئیچ حذف نمود. برای این منظور می‌توان از مدار زیر استفاده نمود.



مدار فوق یک فلیپ فلاپ پایه است، که حالت بی‌اثر آن به ازای یک و یک روی پایه‌های S' و R' می‌باشد. با توجه به اضافه شدن مقاومت بین VCC و هریک از این پایه‌ها می‌توان مطمئن بود که هنگام آزاد بودن این پایه‌ها (وصل نبودن به سوئیچ) سطح یک به ورودی دروازه NAND مربوط به آن پایه برسد. بنابراین اگر سوئیچ فوق به S' وصل شود خروجی Q سطح یک می‌شود و هرگونه ارتعاش کلید هنگام وصل به S' بی اثر روی نتیجه اولیه خواهد بود. تنها موقعی خروجی Q تغییر می‌کند که کلید به پایه R' وصل گردد و در این صورت نیز هرگونه ارتعاش سوئیچ نسبت به این پایه، بی اثر روی اولین نتیجه(سطح صفر) می‌باشد.

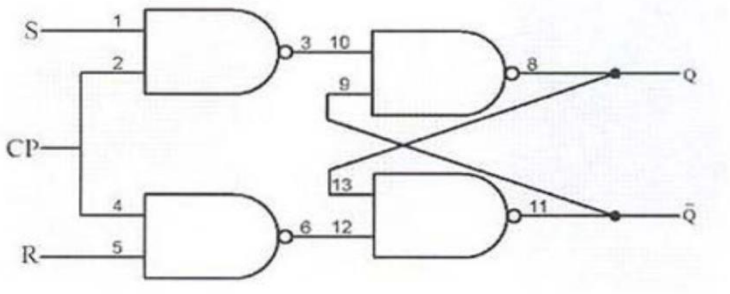
مراحل انجام آزمایش:

الف) مدار فلیپ فلاپ SR ناهمگام را مطابق شکل زیر بسته و آن را به ازای ترکیبات مختلف S و R آزمایش نموده، جدول درستی مدار را تکمیل نمائید. حالت Q و Q' را با استفاده از دیود نورانی مشاهده کنید.



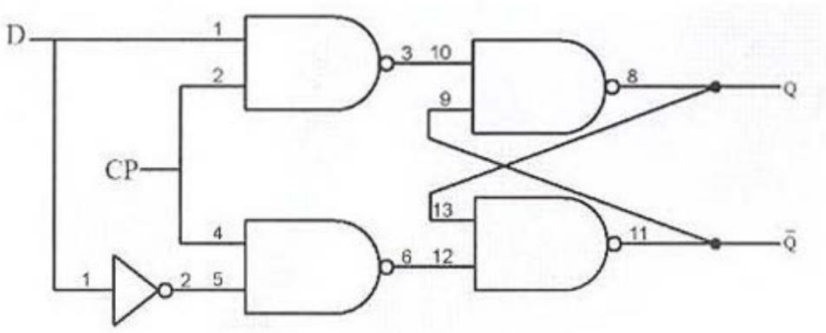
S	R	Q	Q'
0	1		
0	0		
1	0		
0	0		
1	1		

ب) مدار فلیپ فلاپ SR همگام را مطابق شکل زیر ببندید. با اعمال یک پالس مربعی با فرکانس کم به ورودی CP و تغییر دادن ورودی‌های R و S طرز کار مدار را بررسی نموده و جدول مشخصه را تکمیل کنید. خروجی‌ها را به کمک LED مشاهده کنید. (برای تولید پالس مربعی با فرکانس کم از دستگاه سیگنال ژنراتور استفاده می‌کنیم. بدین صورت که فرکانس دستگاه را روی ۱ هرتز قرار داده و از خروجی TTL دستگاه خروجی گرفته و آن را به مدار اعمال می‌کنیم).



S	R	Q	Q'
0	1		
0	0		
1	0		
0	0		
1	1		

ج) با استفاده از فلیپ فلاپ SR آزمایش قبل، یک فلیپ فلاپ D مطابق شکل زیر بسازید و با مشاهده Q توسط دیود نورانی جدول مشخصه مدار را به دست آورید. برای دروازه NOT می‌توانید از آی‌سی ۷٤۰٤ استفاده کنید.



D	Q
0	
1	

آزمایش ۹: شمارنده‌ها

هدف آزمایش:

در این آزمایش دانشجویان با طراحی و نحوه عملکرد شمارنده‌های همگام و ناهمگام آشنا می‌شوند و آن‌ها را بررسی می‌کنند.

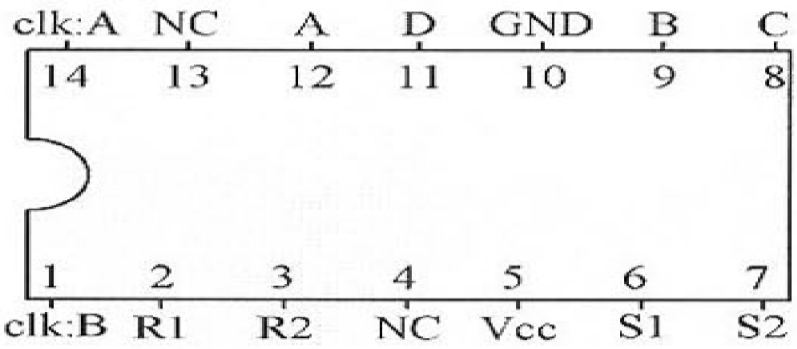
وسایل لازم:

منبع تغذیه، صفحه آزمایش، سیگنال ژنراتور، دیود نورانی، تراشه‌های۷۴۱۰۷، ۷۴۸۶

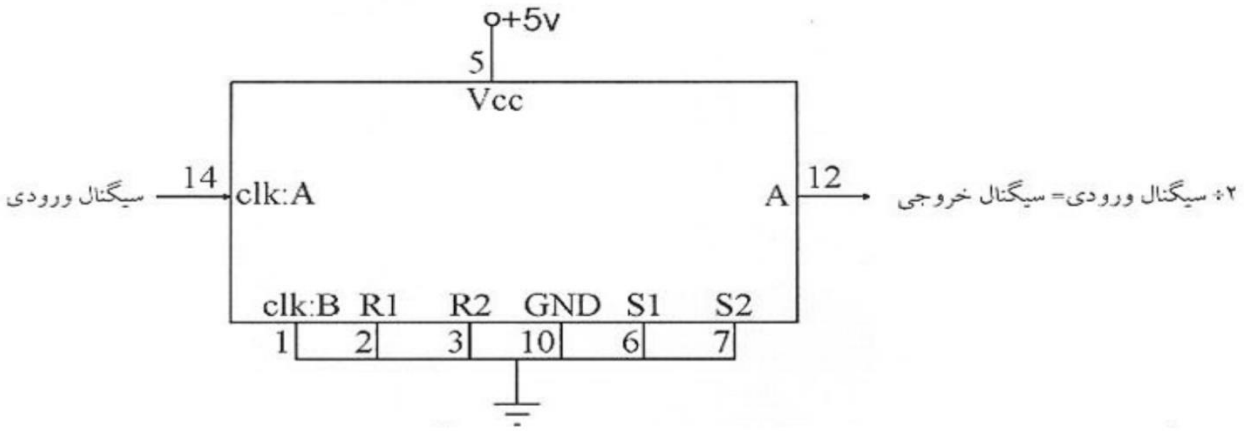
تئوری آزمایش:

شمارنده‌ها گروهی از مدارات منطقی هستند که یک سری از پالس‌های ورودی را می‌شمارند. این پالس‌ها ممکن است ذاتاً منظم یا غیرمنظم باشند. شمارنده بخشی اساسی از مدارهای منطقی دیجیتال است. از این وسیله در واحدهای زمانی، مدارهای کنترل، مدارهای سیگنال و تعداد زیادی از وسایل دیگر استفاده می‌شود. شمارنده‌هایی که با مدارات مجتمع ساخته می‌شوند، بر دو نوع به نام شمارنده‌های سنکرون و آسنکرون می‌باشند. در شمارنده‌های آسنکرون خروجی یک فلیپ فلاپ به طریقی به ورودی پالس ساعت دیگری متصل شده است، به طوری که باعث تریگر کردن فلیپ فلاپ بعدی می‌شود. در شمارنده‌های سنکرون ورودی پالس تمام فلیپ فلاپ‌ها به پالس ساعت اصلی متصل می‌باشد. به عبارت دیگر تمام فلیپ فلاپ‌ها در یک لحظه با هم تغییر می‌نمایند. آی‌سی ۷۴۹۰ نوعی شمارنده / مقسم فرکانس قابل برنامه‌ریزی می‌باشد که از دو شمارنده مستقل تشکیل شده است.

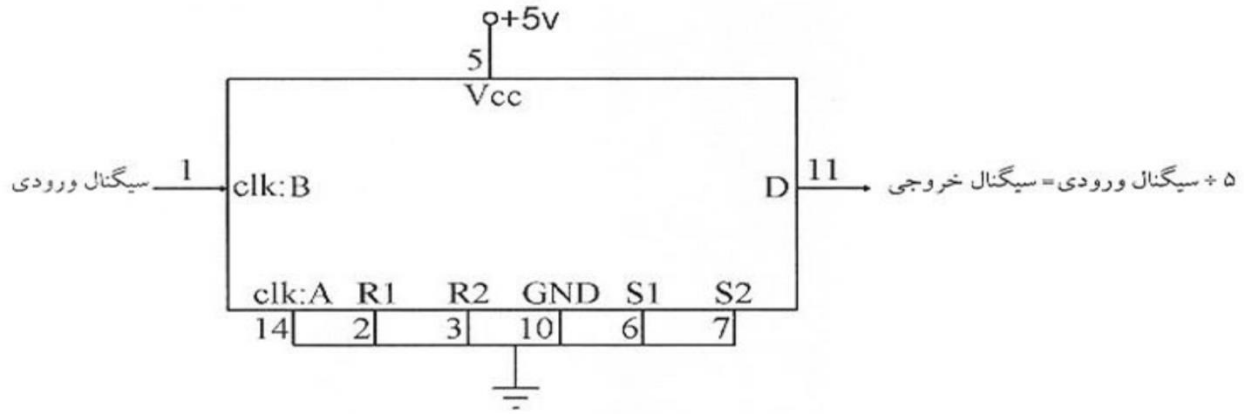
نسبت تقسیم یکی از این شمارنده‌ها ۲ و دیگری ۵ می‌باشد، که با لبه رو به پایین پالس ساعت تحریک می‌شوند. می‌توان این دو شمارنده را با یکدیگر مورد استفاده قرار داد. به این ترتیب نوعی شمارنده مبنای 10با کددهی BCD، یا بدون آن، ایجاد می‌شود. همچنین می‌توان آن را طوری پیکربندی کرد که نسبت تقسیم شمارنده عددی بین ۲ تا ۹ باشد. شکل زیر نقشه عملی و نحوه قرار گرفتن پایه‌های آی‌سی را نشان می‌دهد.



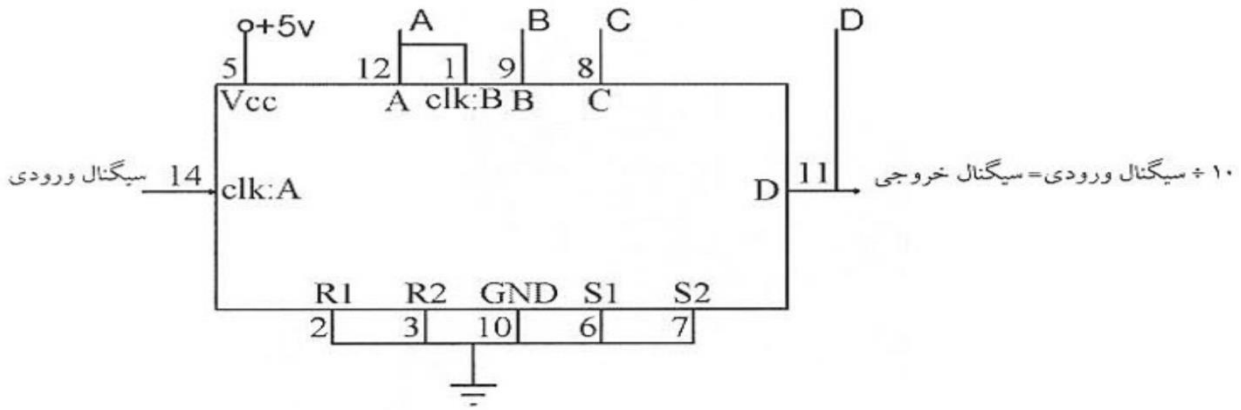
در شکل زیر فقط شمارنده نصف کننده فرکانس داخلی مورد استفاده قرار گرفته است. در این حالت آی‌سی به صورت شمارنده مبنای ۲ عمل می‌کند.



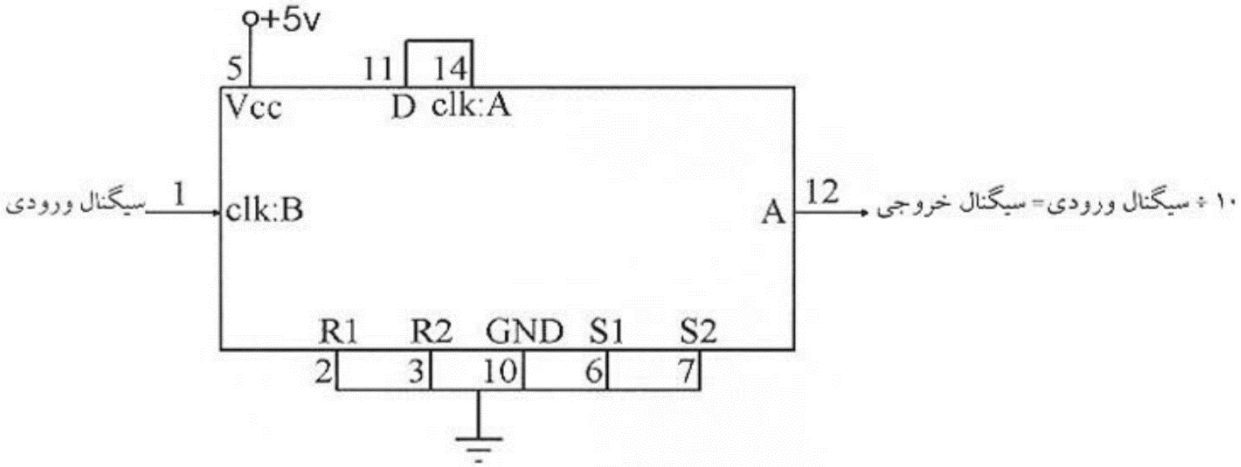
در شکل زیر فقط شمارنده/ مقسم فرکانسی مورد استفاده قرار گرفته که نسبت تقسیم آن ۵ می‌باشد. در اینجا بخش نصف کننده فرکانس و گیت‌های کنترل‌کننده Reset و Set غیر فعال شده‌اند. بنابراین آی‌سی مزبور فقط به صورت شمارنده/ مقسم فرکانس با نسبت تقسیم ۵ عمل می‌کند.



شکل زیر روش استفاده از آی‌سی ۷۴۹۰ در مبنای ۱۰ و با خروجی BCD را نشان می‌دهد. در اینجا هر دو شمارنده داخلی آی‌سی مورد استفاده قرار گرفته‌اند. توجه داشته باشید که خروجی نامتقارن می‌باشد.



شکل زیر روش استفاده از آی‌سی مزبور به صورت شمارنده مبنای ۱۰ و خروجی متقارن را نشان می‌دهد.



تمرینات اولیه:

۱) یک شمارنده باینری چهار بیتی ناهمگام را به کمک فلیپ فلاپ‌های JK طراحی کنید.

۲) یک شمارنده باینری چهار بیتی همگام را به کمک فلیپ فلاپ‌های JK طراحی کنید.

۳) یک شمارنده BCD ناهمگام را به کمک فلیپ فلاپ‌های JK طراحی کنید.

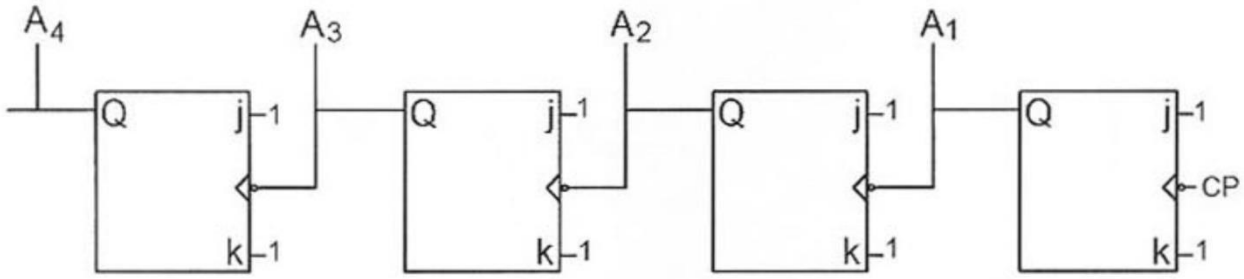
۴) یک شمارنده همگام صعودی_ نزولی مبنای چهار طراحی کنید. این شمارنده باید دارای یک ورودی کنترل M باشد به طوری که اگر M=0 باشد شمارنده نزولی و اگر M=1 باشد شمارنده صعودی بشمارد.

۵) یک شمارنده جانسون چهار بیتی همگام طراحی کنید.

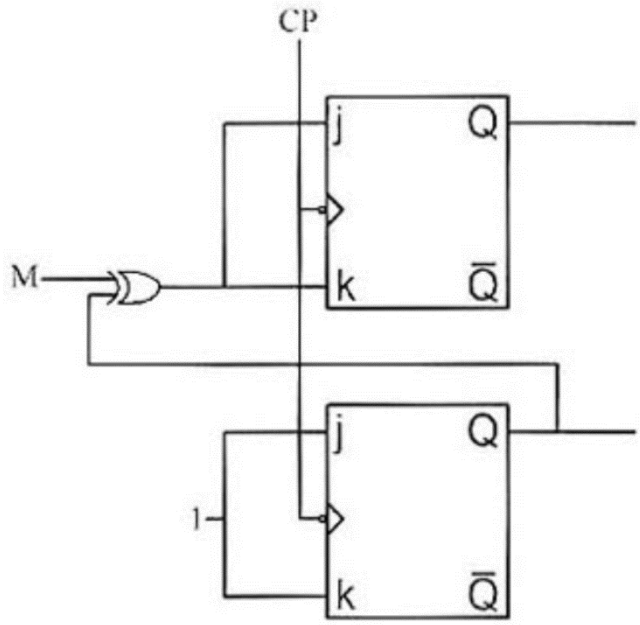
۶) با استفاده از آی‌سی ۷۴۹۰ یک شمارنده مبنای 100 به صورت ناهمگام طراحی کنید.

مراحل انجام آزمایش:

الف) با استفاده از آی‌سی ۷٤۱۰۷ مدار شمارنده باینری چهار بیتی ناهمگام (شکل زیر) را بسته و آن را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده کنید.



ب) با استفاده از آی‌سی ۷٤۸٦ و ۷٤۱۰۷ مدار شمارنده همگام صعودی _نزولی مبنای ۴ (شکل زیر) را بسته و به ازای ورودی M نحوه شمارش آن را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده کنید.



پرسش‌ها:

۱) محاسن و معایب شمارنده‌های همگام را نسبت به شمارنده‌های ناهمگام بنویسید.

۲) شمارنده‌های ۷٤۱۹۰ و ۷٤۱۹۱ را تشریح نمایید.

۳) با استفاده از آی‌سی ۷٤۱۹۰ یک شمارنده مبنای ۱۰۰ به صورت سنکرون طراحی کنید.

آزمایش ۱۰: ثبات‌های انتقالی

هدف آزمایش:

طراحی مدارهای ثبات‌های انتقالی و آشنایی با تراشه‌های مختلف مربوط به آن‌ها .

وسایل لازم:

منبع تغذیه، صفحه آزمایش، سیگنال ژنراتور، دیود نورانی و تراشه‌های ۴۰۱۵، ۷۴۱۹۴، ۷۴۷۴، ۷۴۰۴ ، ۷۴۰۰ و ۷۴۱۵۳

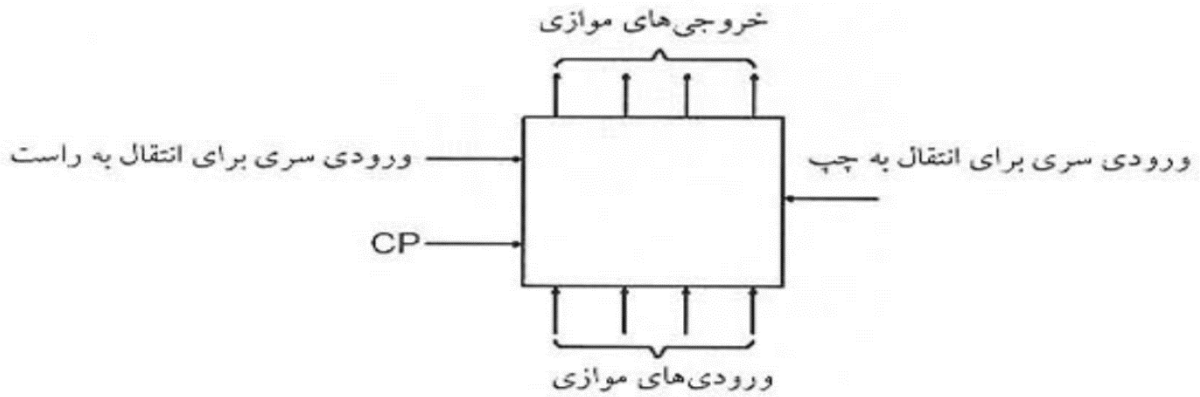
تئوری آزمایش:

شیفت رجیستر یا ثبات جابجایی یک ماژول منطقی ترتیبی است که از فلیپ فلاپ‌ها ساخته شده و مکان‌های بیتی داده‌های دودویی را به چپ یا به راست جابجا می‌کند. از شیفت رجیسترها می‌توان برای تبدیل داده‌های سریال به موازی و بالعکس استفاده کرد. اگر به خروجی کلیه فلیپ فلاپ‌ها در یک شیفت رجیستر دسترسی داشته باشیم، می‌توانیم اطلاعات را که به صورت سریال وارد شیفت رجیستر شده‌اند، به صورت موازی، از خروجی فلیپ فلاپ‌های آن بگیریم و همچنین اگر توانایی بار شدن موازی را به یک شیفت رجیستر اضافه کنیم، آنگاه می‌توانیم اطلاعاتی را که به صورت موازی وارد آن شده‌اند، به فرم سریال بازیابی کنیم.

تمرینات اولیه:

۱) یک ثبات انتقالی چهار بیتی، با قابلیت ورودی و خروجی متوالی برای انتقال به راست و چپ و ورودی و خروجی موازی (شکل زیر) را توسط تراشه‌های ۷۴۷۴ و ۷۴۱۵۳ طراحی کنید.

(تذکر: خروجی متوالی مربوط به عمل انتقال به راست سر A_1 و خروجی متوالی متناظر با انتقال به چپ سر A_4 خواهد بود).



۲) با مشخصات و نحوه عمل سه تراشه۷٤۹٥ ، ۷٤۱۹٤ و ٤۰۱٥ به طور کامل آشنا شوید.
۳) با استفاده از تراشه ٤۰۱٥ یک ثبات انتقالی هشت بیتی با قابلیت ورودی سری برای انتقال به راست طراحی نمایید.

مراحل انجام آزمایش:

الف) ثبات انتقالی را که خود طراحی نموده‌اید به طور کامل مورد آزمایش قرار داده و نتایج به دست آمده را یادداشت نمایید. برای مشاهده خروجی‌ها از دیود نورانی استفاده نمایید.
ب) آزمایش قسمت الف را برای تراشه ۷٤۱۹٤ تکرار نمایید.
ج) تراشه ٤۰۱٥ را به طور کامل مورد آزمایش قرار دهید و تمام مطالب ذکر شده در مورد آن را آزمایش کنید. نتایج به دست آمده را به طور کامل بنویسید.

پرسش‌ها:

۱) تراشه ۷٤۹٥ یک ثبات انتقالی ۴ بیتی با امکانات ورودی موازی و ورودی سری، انتقال به چپ و انتقال به راست می‌باشد. طرز کار را به طور کامل شرح دهید و سپس به کمک دو عدد از این تراشه یک ثبات انتقالی هشت بیتی انتقال به راست و بار دیگر انتقال به چپ طراحی کنید.

آزمایش ۱۱: آشنایی با FPGA و برد DE2_115 شرکت ALTERA

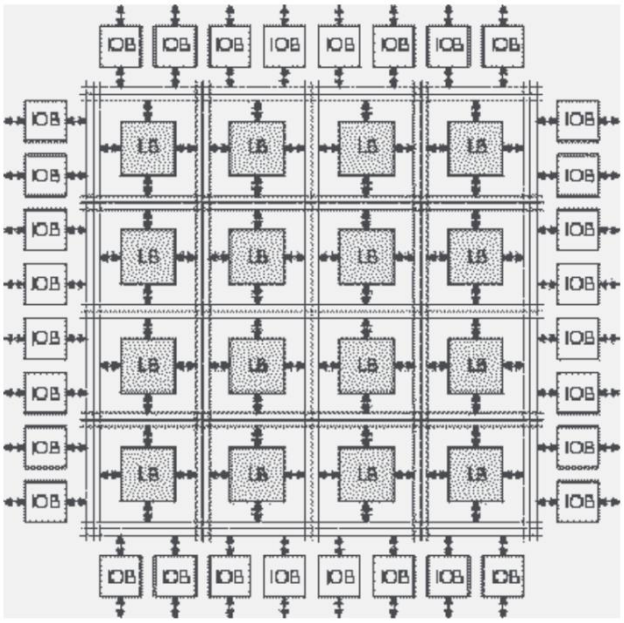
FPGA (Field Programmable Gate Array)

تراشه‌های قابل‌برنامه‌ریزی با توجه به کارآیی و توانایی بالا در سیستم‌های صنعتی و تحقیقاتی، باعث تحول فوق‌العاده‌ای در صنعت میکروالکترونیک شده‌اند؛ اما به دلیل فقدان آموزش و ابزار موردنیاز در دانشگاه‌های کشورمان، همواره شکاف عمیقی میان محیط دانشگاهی و محیط صنعتی ملموس و محسوس بوده است. به همین منظور در این آزمایشگاه سعی شده است تا این مفاهیم با دیدی آموزشی و ساده انتقال داده شود. این مفاهیم عبارتاند از:

- آشنایی با ساختار تراشه‌های قابل‌برنامه‌ریزی FPGA
- روند طراحی با یک تراشه قابل‌برنامه‌ریزی FPGA
- آشنایی و برنامه‌نویسی با زبان توصیف سخت‌افزار Verilog یا VHDL
- آشنایی و طراحی با نرم‌افزار Quartus
- طراحی، پیاده‌سازی و تست انواع مدارهای دیجیتال بر روی FPGA

FPGAها نسل جدید مدارهای مجتمع دیجیتال قابل برنامه‌ریزی هستند. عبارت FPGA به معنی "آرایه دریچه‌ای برنامه‌پذیر میدانی" می‌باشد. سرعت اجرای توابع منطقی در FPGAها بسیار بالا است. اگر بخواهیم FPGAرا به طور ساده تشریح کنیم، عبارت است از یک تراشه که از تعداد بالایی بلوک منطقی LB (LogicBlock) خطوط ارتباطی و پایه‌های ورودی/ خروجی تشکیل شده است که به صورت آرایه‌ای در کنار یکدیگر قرار دارند. خطوط ارتباطی که وظیفه آن‌ها ارتباط بین بلوک های منطقی است از سوئیچ‌های قابل‌برنامه‌ریزی تشکیل شده‌اند. این سوئیچ‌ها بسته به نوعی که دارند، برخی تنها یکبار قابل‌برنامه‌ریزی هستند و برخی به تعداد دفعات زیادی برنامه‌ریزی می‌شوند. بلوک های منطقی نیز دارای انواع مختلفی هستند که عموماً توسط المانی پایه، تمامی توابع منطقی را ایجاد می‌کنند. به عنوان مثال بلوک‌های منطقی در خانواده ACT-1 از شرکت Actel بر پایه مالتی پلکسری عمل می‌کنند. به این معنا که توسط مالتی پلکسر، توانایی ایجاد توابع منطقی مختلف را دارند. البته تعداد ورودی‌های هر بلوک منطقی متفاوت است و به نوع FPGA مربوط می‌شود. به عنوان مثال بلوک‌های منطقی در خانواده ACT-1 از نوع ۸ ورودی است. البته در برخی موارد به بلوک‌های منطقی، سلول‌های منطقی نیز گفته می‌شود (LC).

بلوک دیاگرام یک FPGA به طور ساده در شکل زیر نشان داده شده است. البته بسیاری از سلول‌های منطقی بر اساس جداول LUT ساخته می‌شوند. LUT از تعدادی سلول‌های حافظه SRAM تشکیل می‌شود که در هنگام برنامه‌ریزی FPGA مقداردهی می‌شوند.



به طور خلاصه LUT عبارت است از تولید توابع آماده برای استفاده در سلول‌های منطقی. پیاده‌سازی توابع مختلف نیز به وسیله در کنار هم قرار گرفتن بلوک‌های منطقی و همچنین تنظیم ارتباط بین هر بلوک و به عهده گرفتن پردازش اطلاعات توسط هر بخش انجام می‌شود.

FPGA از یک سری عناصر منطقی که برای کار خاصی محدود نشده‌اند و نیز دارای اتصالات قابل‌برنامه‌ریزی هستند، تشکیل شده‌اند؛ بنابراین هر دو جزء اصلی تشکیل دهنده یعنی بلوک‌های منطقی و همچنین اتصالات بین آن‌ها قابل برنامه‌ریزی است. همانطور که در این شکل مشخص است، سه جزء اصلی آن عبارت‌اند از بلوک‌های منطقی (Logic Block) عناصری که برای اتصالات بکار می‌روند (Integration Resources) و بلوک‌های ورودی و خروجی (I/O Blocks). ساختار و محتویات بلوکهای منطقی میتواند خیلی ساده (در حد یک گیت NAND) و یا خیلی پیچیده (نظیر چند MUX یا Table Look-Up) به همراه یک فلیپ فلاپ باشد.

بلوکهای منطقی در حقیقت جایی هستند که قسمتهای اصلی مدار قرار می‌گیرند. البته ابتدا باید مداری که قرار است روی FPGA قرار بگیرد به اجزای کوچکی که همان محتویات بلوک‌های منطقی هستند تقسیم شود و بعد از این عمل است که می‌توان با متصل کردن بلوک‌های پایه به هم مدارهای واقعی را به دست آورد. عناصری که برای اتصالات بکار می‌روند، معمولاً بین بلوک‌های منطقی قرار می‌گیرند و از قطعات فلزی که می‌توانند به هم یا به بلوک‌های منطقی متصل شوند تشکیل شده‌اند و برای متصل کردن این قطعات از سوئیچ‌های قابل‌برنامه‌ریزی استفاده می‌شود. این قطعات می‌توانند طول‌های متفاوتی داشته باشند. بلوک‌های ورودی/

خروجی به منظور تنظیم پایه‌های FPGA در حالت‌های ورودی، خروجی یا ورودی/ خروجی و همچنین برای تنظیم ولتاژ کاری مختلف 3,3 یا 5 ولت و ... بکار می‌روند.

معمولاً بین پیچیدگی و انعطاف پذیری هر دوی بلوک‌های منطقی و اتصالات یک نسبت معکوس وجود دارد. در ضمن معماری یک بلوک منطقی و همچنین اتصالات بر کل مساحت تراشه و سرعت تراشه اثر دارد. FPGAها برای پیشرفت شرکت‌های نوپا و تازه تأسیس بسیار مناسب هستند، چرا که حتی گروه‌های کوچک مهندسی در محیط‌های آزمایشگاهی کوچک مبتنی بر FPGA با کمترین هزینه موفق به اجرای طرح‌های خود می‌شوند. در ابتدای ظهور FPGAها از آن‌ها برای پیاده‌سازی منطق اتصالی (glue logic) و ماشین‌هایی با پیچیدگی متوسط و پردازش داده‌های نسبتاً کم استفاده می‌شد. در اوایل دهه ۱۹۹۰ و با پیشرفت FPGAها، از آن‌ها برای ارتباط و شبکه، یعنی پردازش بلاک‌های بزرگ داده و فرستادن آن‌ها به اطراف استفاده می‌شد. در اواخر دهه ۱۹۹۰ بازار شاهد ورود آن‌ها به کاربردهای صنعتی، لوازم خانگی و خودروسازی بود؛ اما امروزه از FPGAها تقریباً برای پیاده‌سازی هر چیزی مانند سیستم‌های مخابراتی، رادیوهای نرم‌افزاری، رادارها، پردازش تصویر، پردازش سیگنال و ... استفاده می‌شود.

حال به مرحله‌ای می‌رسیم که FPGA را می‌شناسیم و می‌خواهیم یک مدار Logic را روی آن پیاده نماییم. ابتدا باید تعیین کنیم مداری که می‌خواهد پیاده شود، چه کار می‌کند. برای این کار مثلاً می‌توانیم شماتیک مدار را به صورت مجموع‌های از گیت‌های منطقی که به هم وصل شده‌اند و یک مدار با ورودی و خروجی مشخص را ساخته‌اند، رسم کنیم. این ساده‌ترین کاری است که می‌توانیم انجام دهیم. رسم مدار برای یک مدار منطقی بزرگ با این روش به ساعت‌های بسیار زیاد نیاز است. پس بهتر است روش دیگری پیدا شود. می‌توانیم عملکرد مدار را به صورت یک سری جملات توصیفی پشت سر هم بنویسیم .مثلاً فرض کنید برای یک شمارنده که با لبه بالارونده خروجی‌اش یک واحد زیاد می‌شود می‌توان گفت: "در هر لبه بالارونده خروجی مساوی با خروجی بعلاوه 1". حال بجای مدار شمارنده می‌توانیم این عبارت توصیفی را ذخیره کنیم بدیهی است که وقتی در آینده خودمان خواستیم از روی این عبارت مدار منطقی مربوط به آن را پیاده کنیم می‌دانیم که چه گیت هایی معادل این عبارت توصیفی بوده است. چرا که مدار شمارنده یک مدار بسیار متداول و شناخته شده است. نرم‌افزارهایی وجود دارند که عبارت توصیفی را که توصیف کننده یک مدار منطقی است و به صورت یک برنامه نوشته شده است به عنوان ورودی می‌گیرند و به ما آن آرایشی از گیت‌ها را که معادل عبارت‌های ما است را می‌دهند. این برنامه‌ها بسیار هوشمند هستند و بهترین و پرسرعت‌ترین مدار منطقی ممکن را به ما می‌دهند. به این نرم‌افزارها Synthesizer می‌گویند.

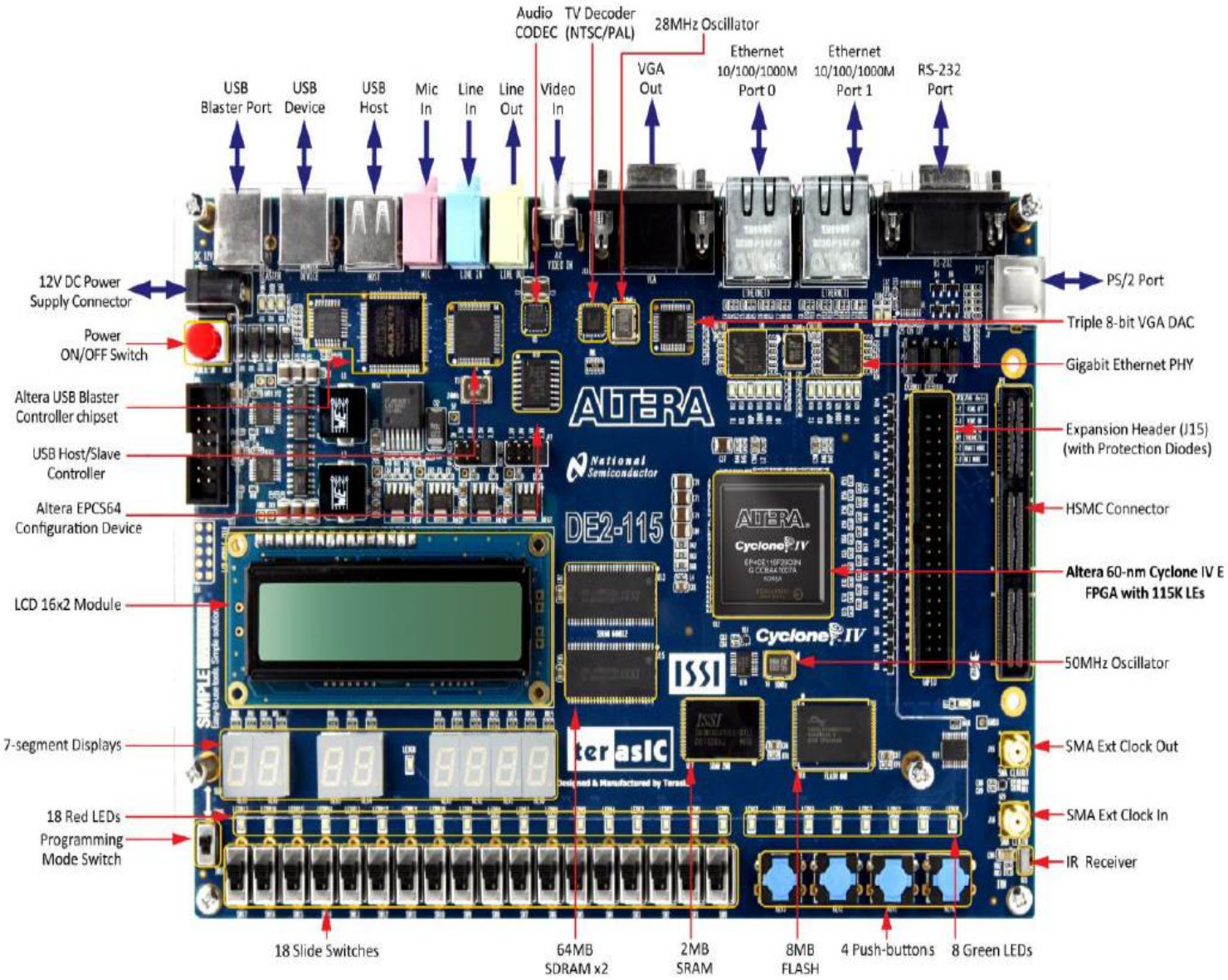
برد DE2_115 شرکت ALTERA

هدف از طراحی و عرضه بورد آموزشی و توسعه ALTERA DE2 عرضه یک ابزار ایده‌آل برای نمونه‌سازی پیشرفته طرح‌های FPGA در حوزه‌های مالتی مدیا، ذخیره و شبکه‌سازی داده‌هاست.
فناوری به‌کاررفته در طراحی این بورد به همراه ابزارهای CAD ارائه‌شده به همراه آن، افق‌های جدیدی را در دامنه وسیعی از موضوعات به روی طراحان می‌گشاید. بورد دارای امکانات گسترده‌ای است که درنهایت آن را برای کاربردهای آموزشی در لابراتوارهای الکترونیک دانشگاه‌ها ایده‌آل می‌سازد. این بورد برای پروژه‌های طراحی در موضوعات مختلف حتی طراحی سیستم‌های پیچیده دیجیتال نیز مناسب است. شرکت ALTERA پشتیبانی بسیار خوبی برای بورد DE2 فراهم نموده است. از موارد ارائه‌شده توسط شرکت ALTERA می‌توان به مطالب خودآموز و تمرینات برای لابراتوار FPGA و دموهای تشریح شده اشاره نمود.
بورد ALTERA DE2 امکانات متعددی را برای کاربر در نظر گرفته است تا اجرای پروژه‌های مختلف در این بورد میسر گردد. قطعات بورد به‌گونه‌ای انتخاب‌شده تا با المان‌های استفاده شده در پروژه‌های شناخته شده‌ای که به تولید انبوه رسیده‌اند مشابه باشد. پلتفرم DE2، کاربران و دانشجویان را قادر خواهد ساخت تا تمامی نکات کاربردی در طراحی پروژه‌های صنعتی را به‌خوبی درک نمایند.

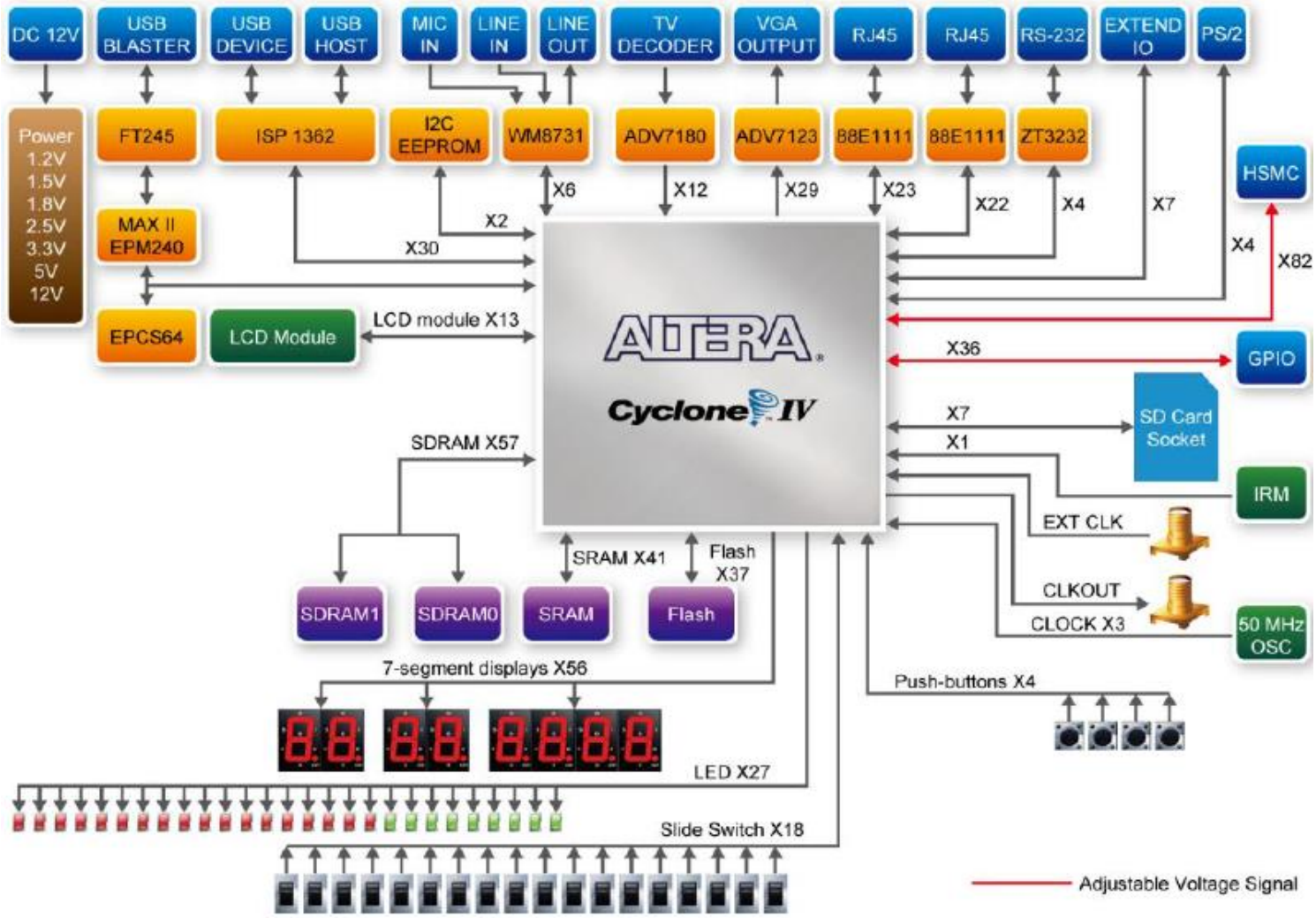
قطعات و سخت‌افزارهای تعبیه‌شده دربرد ALTERA DE2 به شرح زیر می‌باشد:

1_Altera Cyclone® II 2C35 FPGA device
2_Altera Serial Configuration device_EPCS64
3_USB Blaster for programming
4_2MB SRAM
5_ Two 64MB SDRAM
6_8MB Flash memory
7_SD Card socket
8_4 Push-buttons
9_18 Slide switches
10_18 Red user LEDs
11_9 Green user LEDs
12_ 50MHz oscillator for clock sources
13_24-bit CD-quality audio CODEC
14_VGA DAC with VGA-out connector
15_TV Decoder and TV-in connector
16_2 Gigabit Ethernet PHY with RJ45
17_USB Host/Slave Controller
18_RS-232 transceiver and 9-pin connector
19_16x2 LCD module
20_PS/2 mouse/keyboard connector
21_2 SMA connectors for external clock
22_21_IR Receiver
23_One 40-pin Expansion Header
24_One High Speed Mezzanine Card

شکل زیر یک طرح و نمای کلی از برد ALTERA DE2 را نشان می‌دهد که محل اتصال و اجزای کلیدی این برد را مشخص می‌کند.



همچنین شکل زیر بلوک دیاگرام برد ALTERA DE2 را نشان می‌دهد. همان‌گونه که مشاهده می‌کنید تمام اتصالات از طریق FPGA خانواده Cyclone IV ایجاد شده‌اند که کاربر می‌تواند برای طراحی هر سیستم، FPGA موردنظر را پیکربندی کند.



در ادامه به جزئیات بیشتری از هر بلاک می‌پردازیم.

1_FPGA device

- 33,216 LEs
- 105 M4K RAM blocks
- 483,840 total RAM bits
- FineLine BGA 672-pin package

2_FPGA configuration

- JTAG and AS mode configuration
- EPCS64 serial configuration device
- On-board Usb Blaster

3_Memory devices

- 128MB (32Mx32bit) SDRAM
- 2MB (1Mx16) SRAM
- 8MB (4Mx16) Flash with 8-bit mode
- 32Kb EEPROM

4_Switches and indicators

- 18 slide switches and 4 push-buttons
- 18 red and 9 green LEDs
- Eight 7-segment displays

5_Clock

- Three 50MHz oscillator clock inputs
- SMA connectors

6_Audio

- 24-bit encoder/decoder (CODEC)
- Line-in, line-out, and microphone

7_SD Card socket

- Provides SPI and 4-bit SD mode for SD

8_Display

- 16x2 LCD module

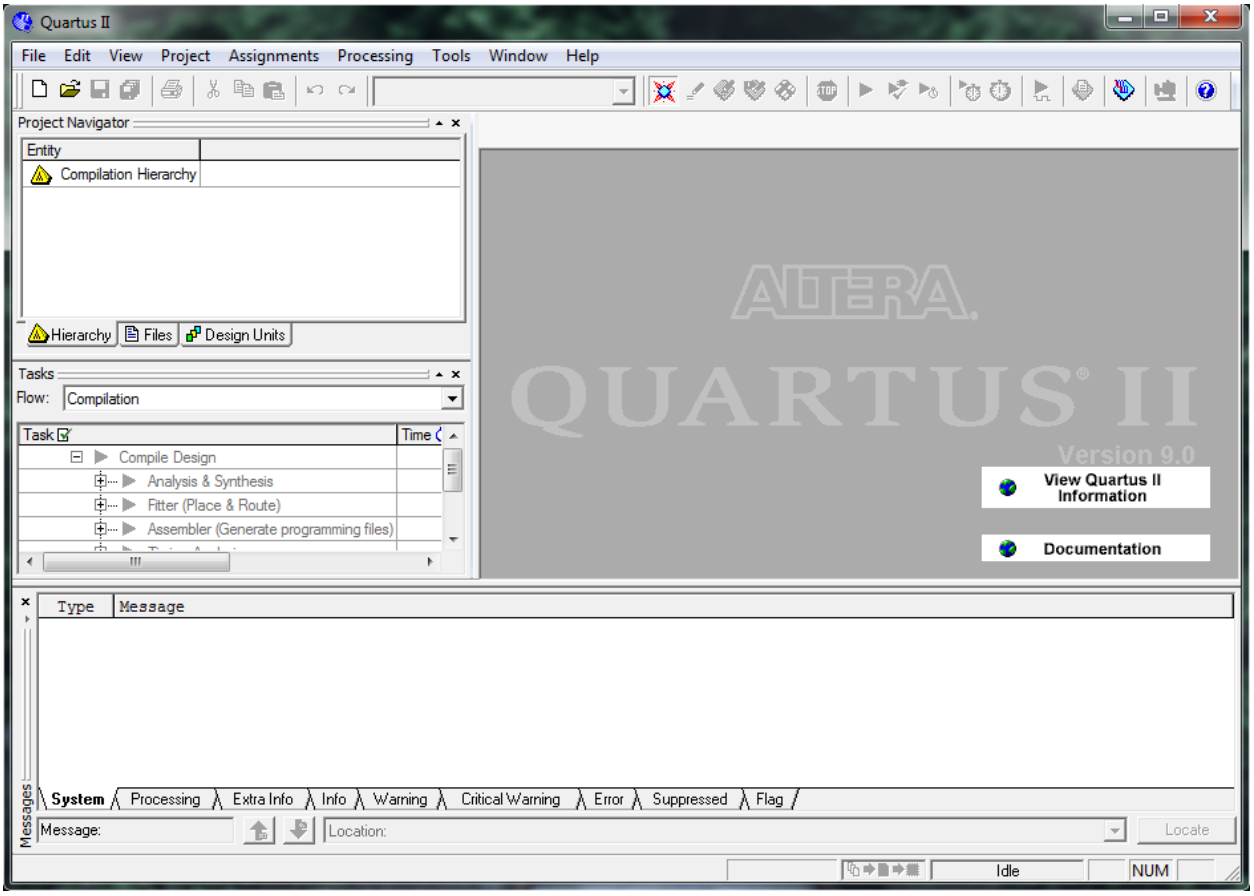
9_Connectors

- Two Ethernet 10/100/1000 Mbps ports
- High Speed Mezzanine Card (HSMC)
- Configurable I/O standards (voltage levels:3.3/2.5/1.8/1.5V)
- USB type A and B
- 40-pin expansion port
- VGA-out connector
- DB9 serial connector for RS-232 port with flow control
- PS/2 mouse/keyboard

آزمایش ۱۲: آشنایی با نرم افزار Quartus و نحوه طراحی با استفاده از امکانات شماتیک

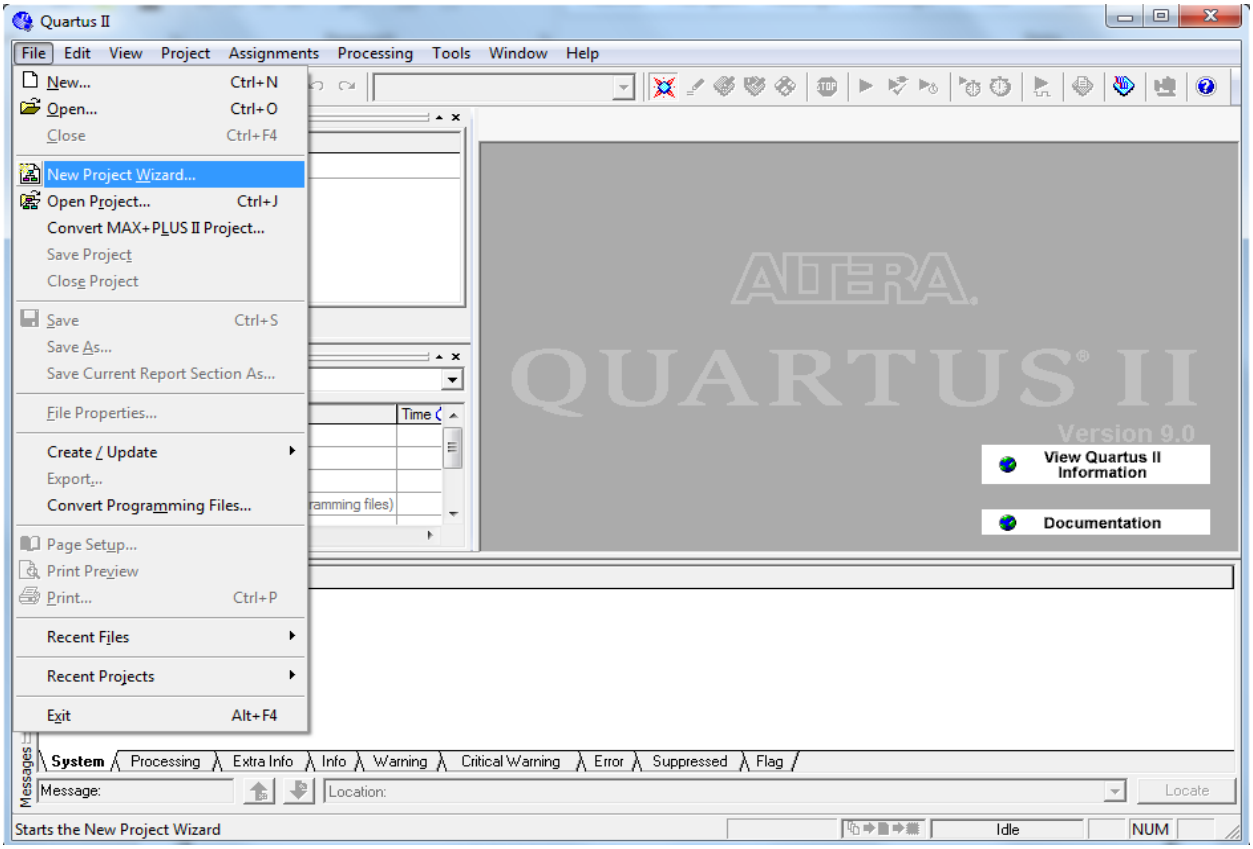
در این بخش قصد داریم با نرم افزار QUARTUS آشنا شویم. با توجه به اینکه این نرم‌افزار از همه روش‌های ایجاد طرح پشتیبانی نموده و ابزارهای مختلفی برای هریک از آن‌ها دارد، در این جا از روش شماتیک برای طراحی خود استفاده می‌کنیم.

برای طراحی با استفاده از این نرم‌افزار ابتدا آن را اجرا نمائید تا وارد محیط اصلی شوید.

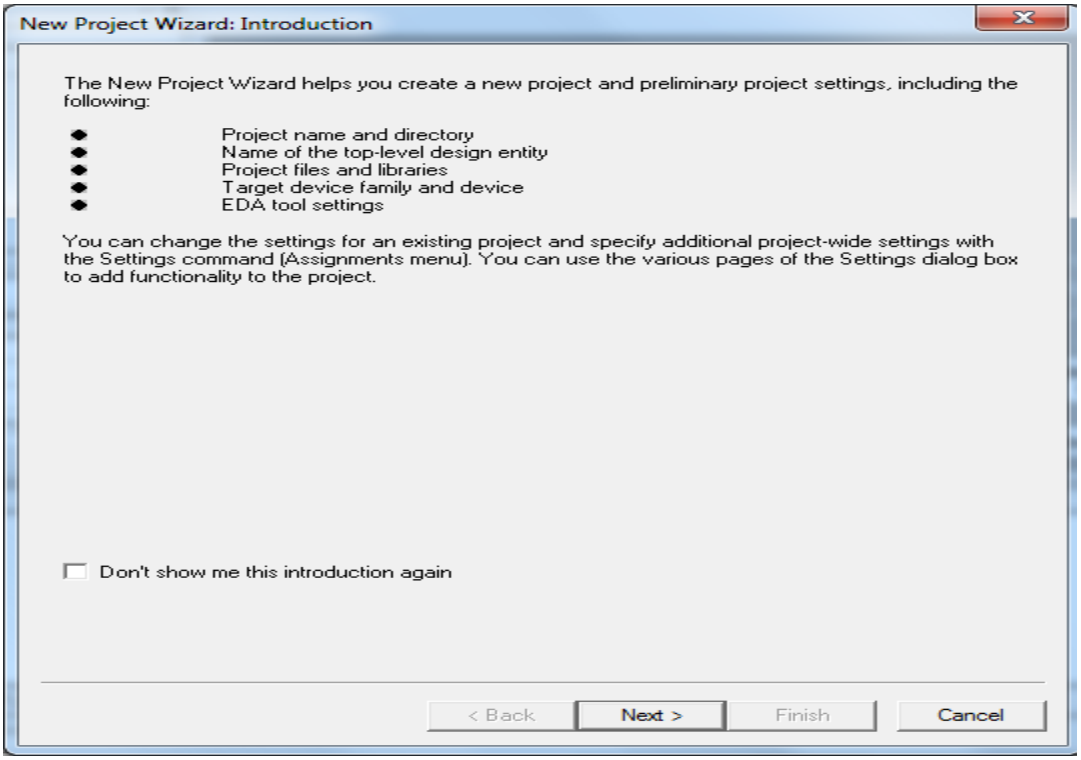


ایجاد یک پروژه جدید در این نرم افزار توسط یک Wizard صورت می‌گیرد. برای این منظور

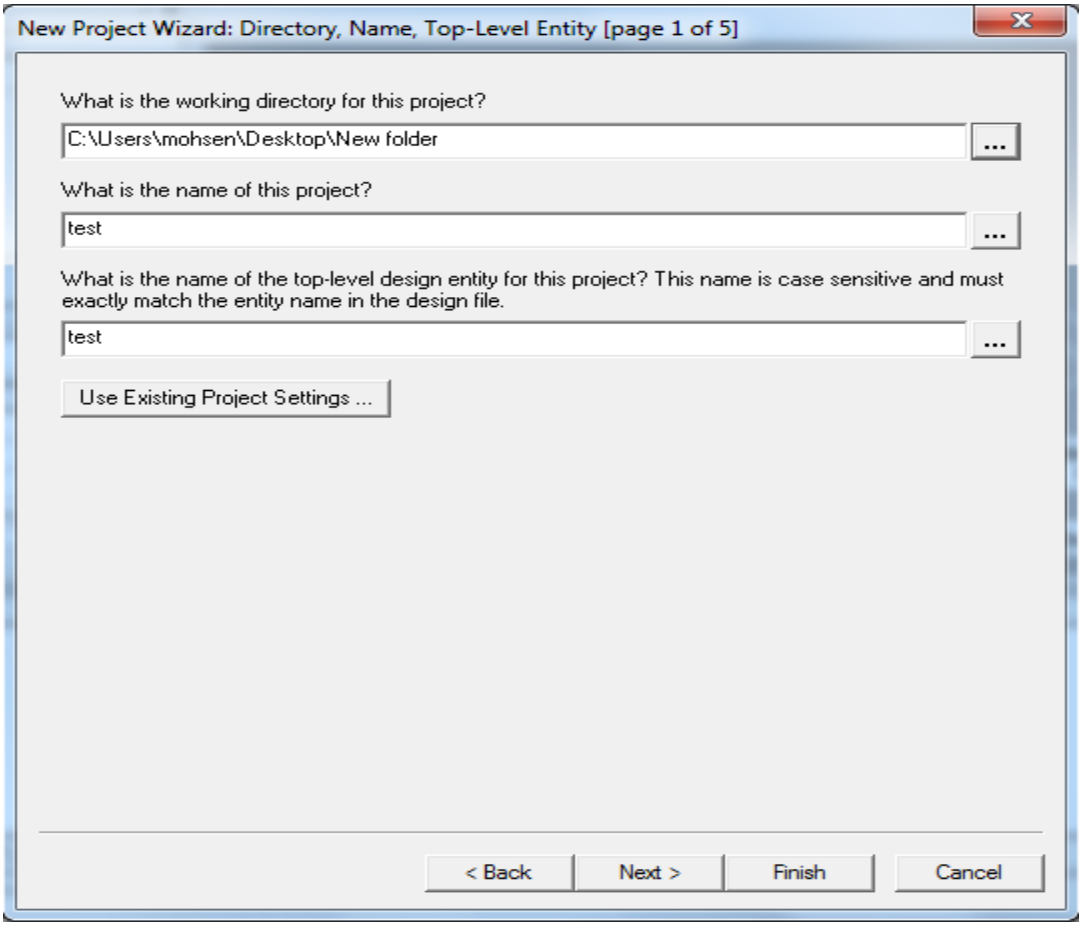
File→New Project Wizard را انتخاب کنید.



بعد از انتخاب گزینه New Project Wizard پنجره‌ای همانند شکل زیر نمایان می شود.



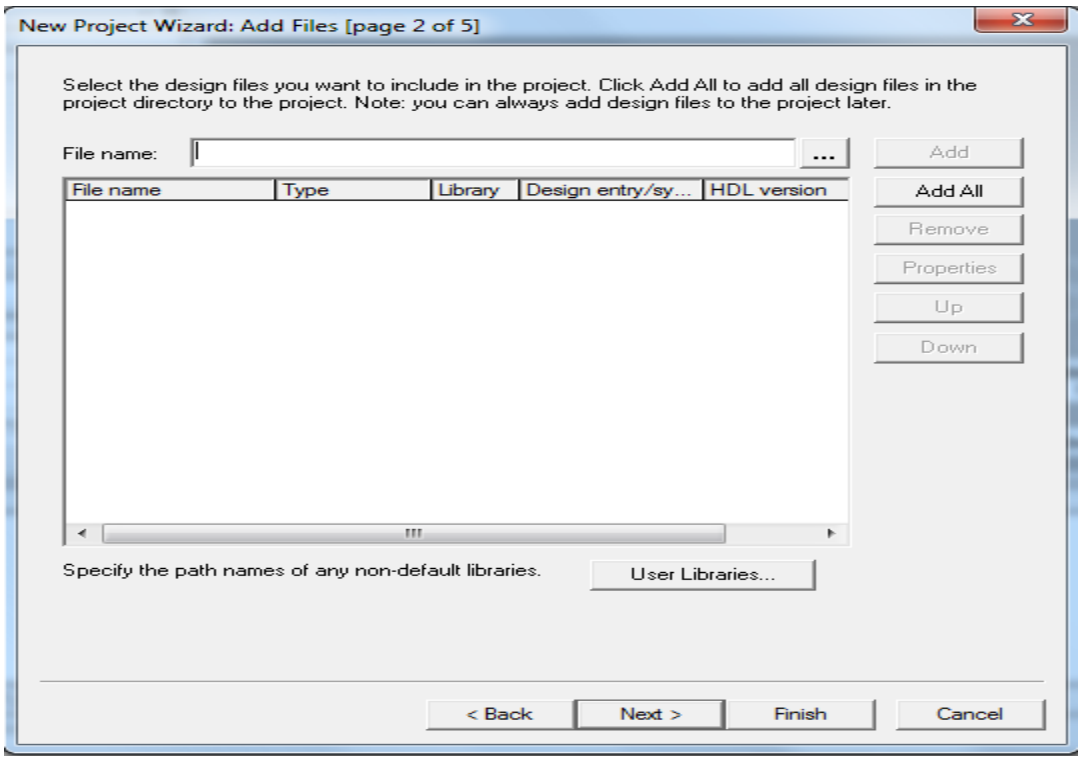
گزینه Next را کلیک کنید تا پنجره زیر نمایان شود.



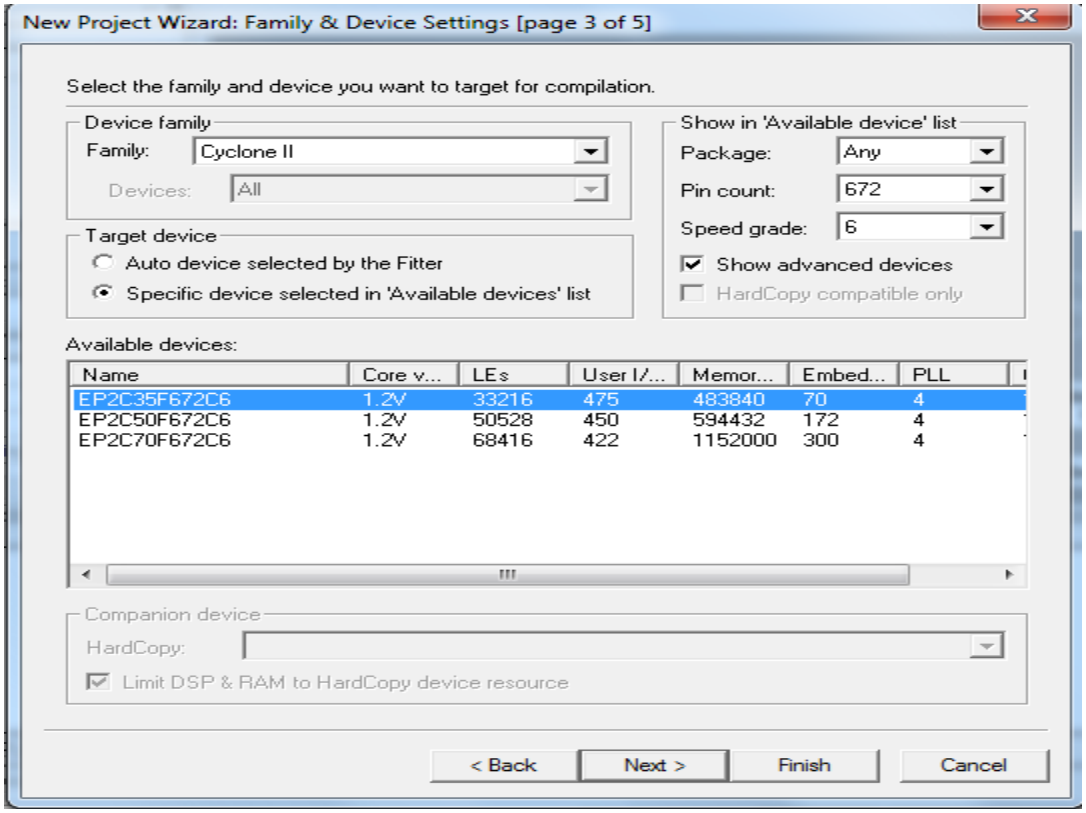
نام و مسیری برای ذخیره اطلاعات مربوط به پروژه خود در نظر بگیرید. در ادامه گزینه Next را زده و به مرحله بعد بروید.

(معمولا نام پروژه و نام ماژول Top Level یکسان در نظر گرفته می‌شود).

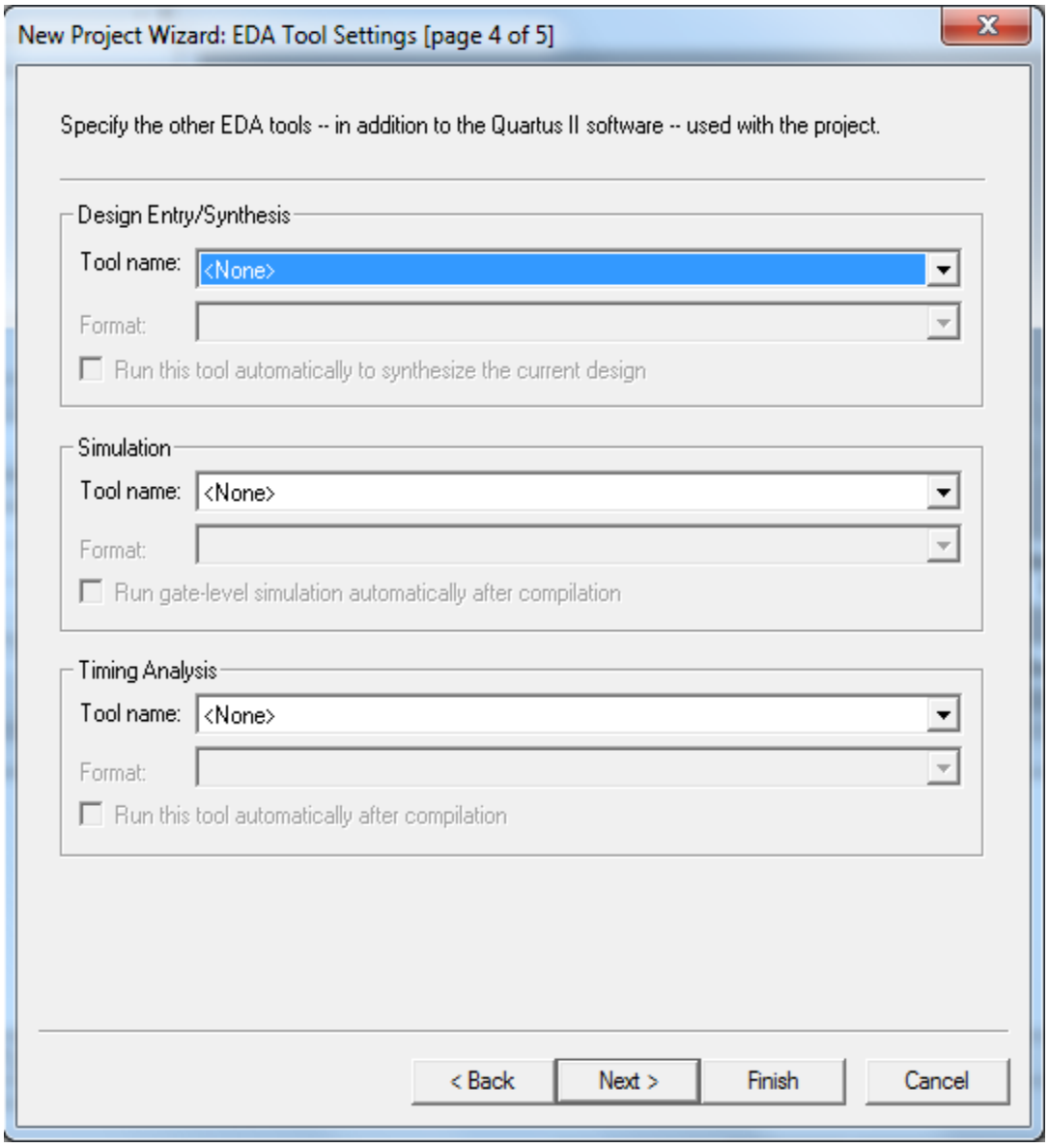
اگر فایلی برای اضافه کردن به پروژه وجود داشته باشد، Wizard در این قسمت این عمل را به راحتی انجام می‌دهد، در غیر این صورت اگر فایلی برای اضافه کردن به پروژه نداریم Next را کلیک کرده و به مرحله بعد می‌رویم.



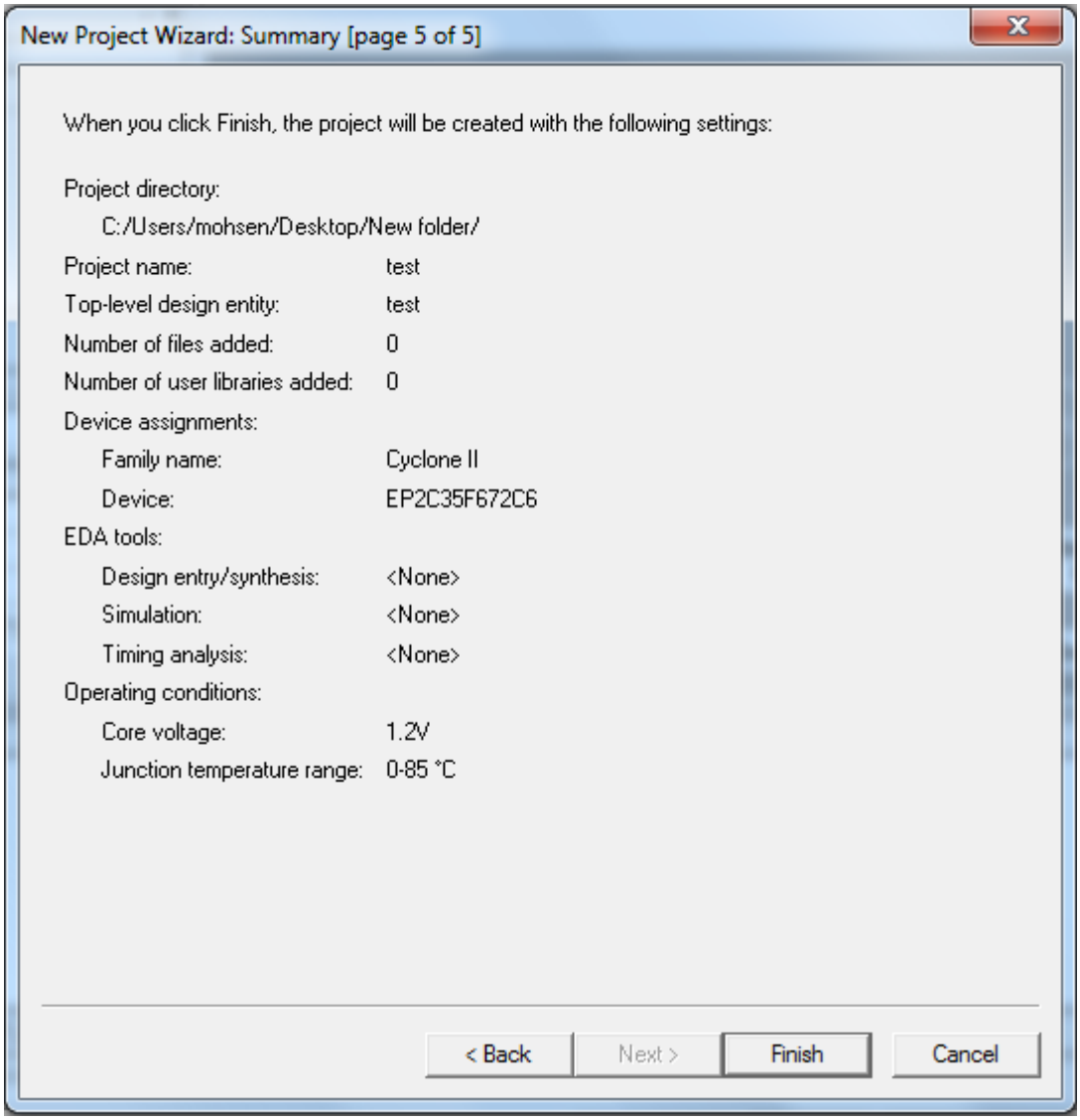
در پنجره بعدی نوع تراشه‌ای که قرار است طرح شما روی آن پیاده شود را انتخاب کنید. تراشه را از داخل لیست انتخاب و سپس Next را کلیک کنید.



در این قسمت از Wizard اگر می‌خواهید علاوه بر Quartus از نرم‌افزارهای به اصطلاح Third Party استفاده کنید، انتخاب نمایید. اما ما برای تمام قسمت‌های چرخه طراحی از ابزارهای داخل Quartus استفاده می‌کنیم، Next را کلیک کرده و به مرحله بعد بروید.

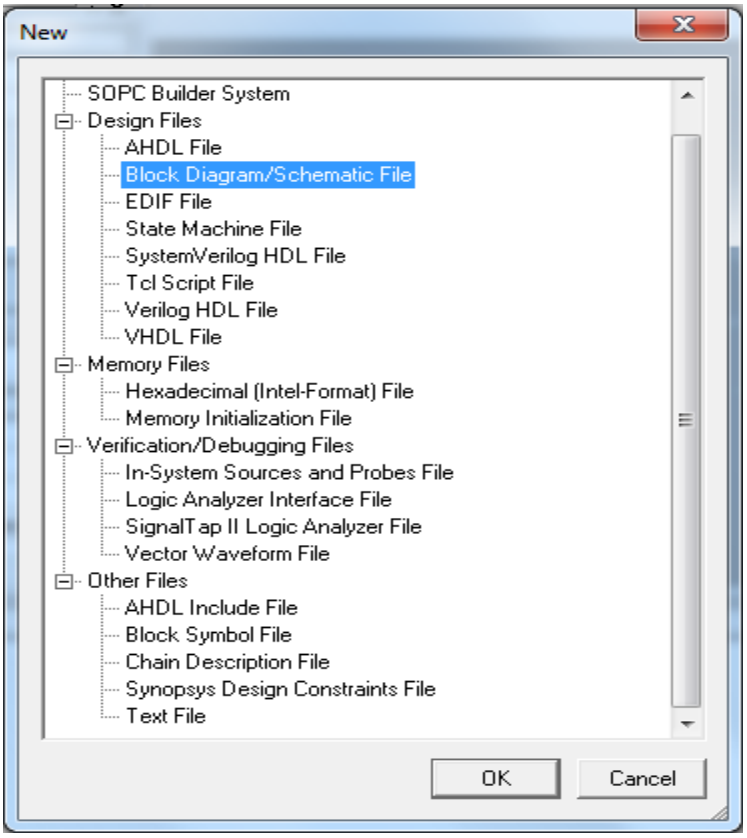


در ادامه خلاصه‌ای از تنظیمات انجام شده برای پروژه، در یک پنجره ظاهر می‌شود.

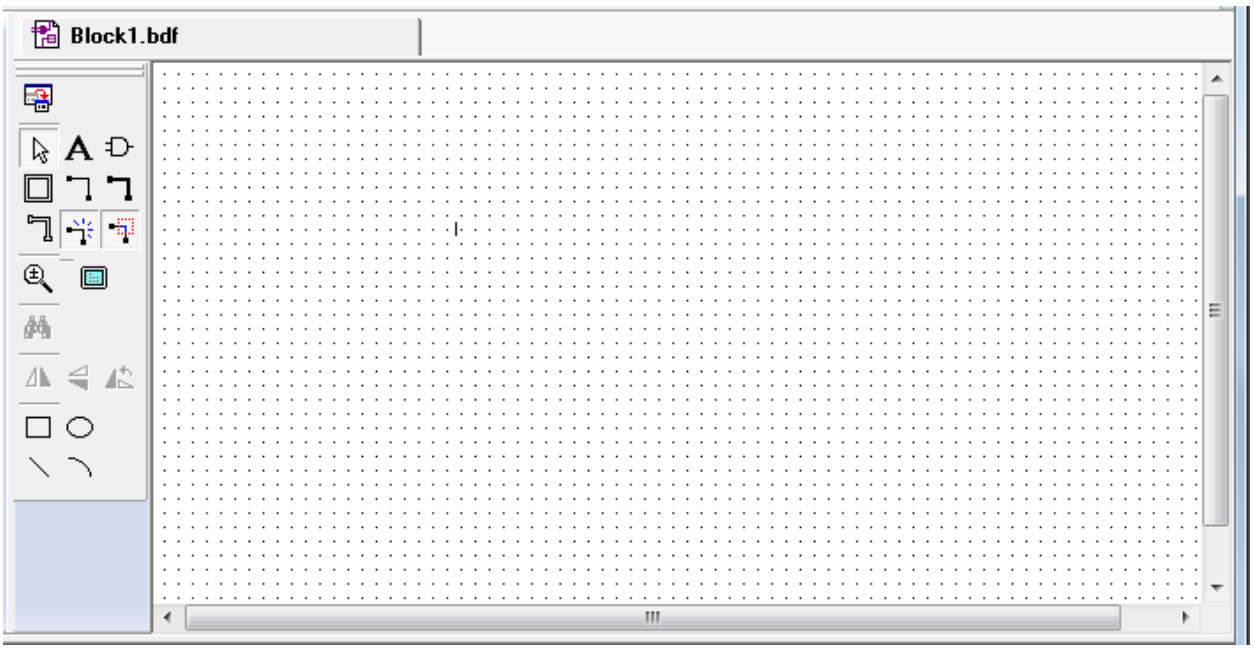


Finish را کلیک کنید تا پروژه موردنظر ایجاد شود.

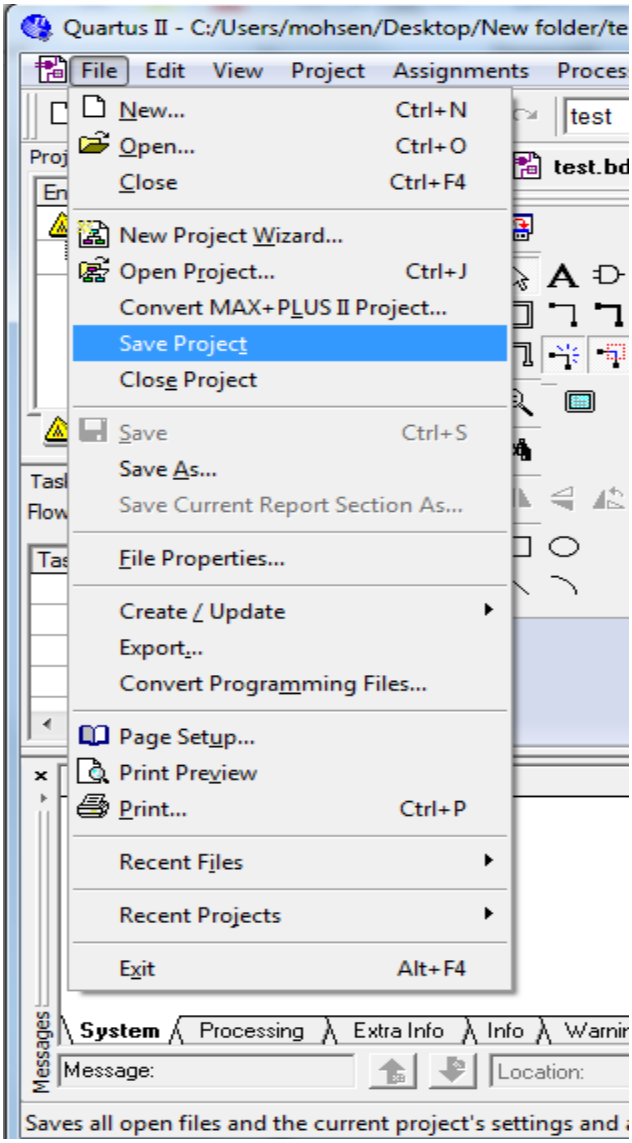
برای طراحی شماتیک نیاز به محیط شماتیک نرم افزار Quartus داریم. برای این منظور File→New و سپس گزینه Block Diagram/Schematic File را انتخاب و OK کنید.



بعد از انتخاب گزینه Block Diagram/Schematic File محیط طراحی شماتیک نرم افزار باز می‌شود.



در انتها، بعد از طراحی برای ذخیر کردن فایل گزینه File→Save Project را بزنید و طرح خود را با نام دلخواه Save کنید.



آزمایش ۱۳: طراحی مدار جمع کننده کامل و نحوه شبیه‌سازی طرح

هدف:

آشنایی با مدارهای ترکیبی، نحوه طراحی و توصیف سطح گیت و شبیه‌سازی طرح با استفاده از نرم‌افزار Quartus
و همچنین پروگرم کردن طرح بر روی برد DE2

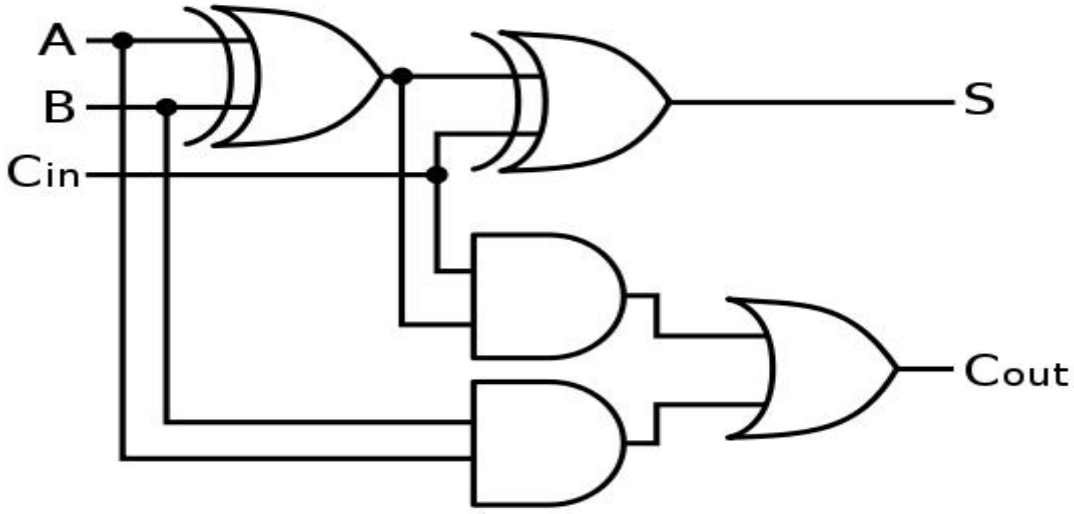
تئوری آزمایش:

در این آزمایش جهت مرور مفاهیم مدارهای ترکیبی قصد داریم با استفاده از گیت‌های منطقی یک مدار جمع کننده کامل را طراحی و طرح موردنظر را با استفاده از نرم‌افزار Quartus شبیه‌سازی کنیم.

توضیح: بعد از توضیحات مراحل آزمایش نحوه شبیه‌سازی طرح با استفاده از نرم‌افزار Quartus و همچنین نحوه پروگرم کردن برد DE2 توضیح داده خواهد شد.

مراحل انجام آزمایش:

الف) ابتدا با استفاده از جدول صحت، عملکرد مدار زیر را به‌صورت تئوری به دست آورید.



ب) حال با کمک امکانات شماتیک نرم‌افزار Quartus مدار را در محیط نرم‌افزار طراحی کنید.

ج) در این قسمت از آزمایش شماتیک طراحی‌شده را شبیه‌سازی نموده و صحت عملکرد آن را با نتایج به‌دست آمده از مرحله اول مقایسه کنید.

د) در انتها آزمایش طرح مورد نظر را بر روی برد مربوطه آزمایشگاه پروگرم کرده و صحت عملکرد آن را با استفاده از سوئیچ‌ها و LEDهای تعبیه‌شده بر روی برد بررسی کنید.

There are 27 user-controllable LEDs on the DE2-115 board. Eighteen red LEDs are situated above the 18 Slide switches, and eight green LEDs are found above the push-button switches (the 9th green LED is in the middle of the 7-segment displays). Each LED is driven directly by a pin on the Cyclone IV E FPGA; driving its associated pin to a high logic level turns the LED on, and driving the pin low turns it off. **Figure 4-9** shows the connections between LEDs and Cyclone IV E FPGA.

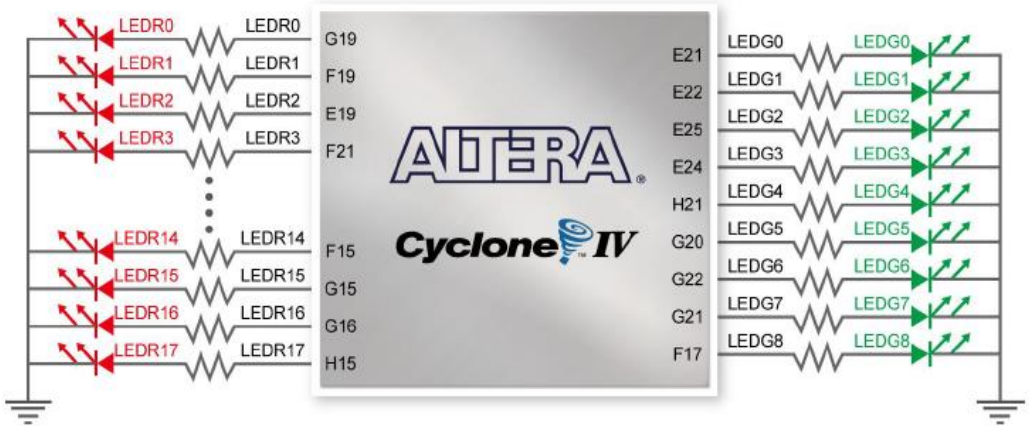


Figure 4-9 Connections between the LEDs and Cyclone IV E FPGA

قطعه کد VHDL جمع کننده کامل

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
 Entity full_adder_vhdl_code is
 Port ( A     : in   STD_LOGIC;
          B     : in   STD_LOGIC;
         Cin   : in   STD_LOGIC;
         S      : out  STD_LOGIC;
         Cout: out  STD_LOGIC);
End full_adder_vhdl_code;
 Architecture gate_level of full_adder_vhdl_code is
 begin
 S       <= A XOR B XOR Cin ;
```

```
 Cout <= ((A Xor B) AND Cin ) OR (A AND B) ;
End gate_level;
```

Signal Name	FPGA Pin No.	Description
LEDR[0]	PIN_AE23	LED Red[0]
LEDR[1]	PIN_AF23	LED Red[1]
LEDR[2]	PIN_AB21	LED Red[2]
LEDR[3]	PIN_AC22	LED Red[3]
LEDR[4]	PIN_AD22	LED Red[4]
LEDR[5]	PIN_AD23	LED Red[5]
LEDR[6]	PIN_AD21	LED Red[6]
LEDR[7]	PIN_AC21	LED Red[7]
LEDR[8]	PIN_AA14	LED Red[8]
LEDR[9]	PIN_Y13	LED Red[9]
LEDR[10]	PIN_AA13	LED Red[10]
LEDR[11]	PIN_AC14	LED Red[11]
LEDR[12]	PIN_AD15	LED Red[12]
LEDR[13]	PIN_AE15	LED Red[13]
LEDR[14]	PIN_AF13	LED Red[14]
LEDR[15]	PIN_AE13	LED Red[15]
LEDR[16]	PIN_AE12	LED Red[16]
LEDR[17]	PIN_AD12	LED Red[17]
LEDG[0]	PIN_AE22	LED Green[0]
LEDG[1]	PIN_AF22	LED Green[1]
LEDG[2]	PIN_W19	LED Green[2]
LEDG[3]	PIN_V18	LED Green[3]
LEDG[4]	PIN_U18	LED Green[4]
LEDG[5]	PIN_U17	LED Green[5]
LEDG[6]	PIN_AA20	LED Green[6]
LEDG[7]	PIN_Y18	LED Green[7]
LEDG[8]	PIN_Y12	LED Green[8]

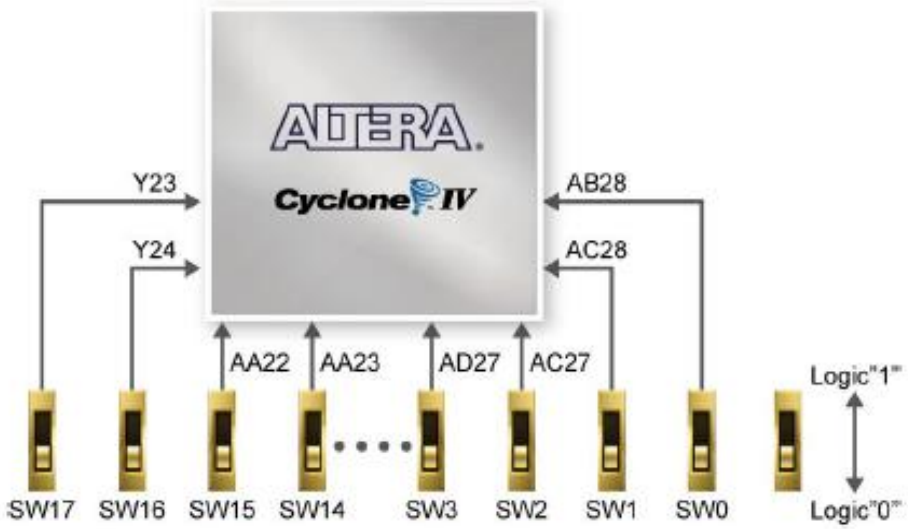
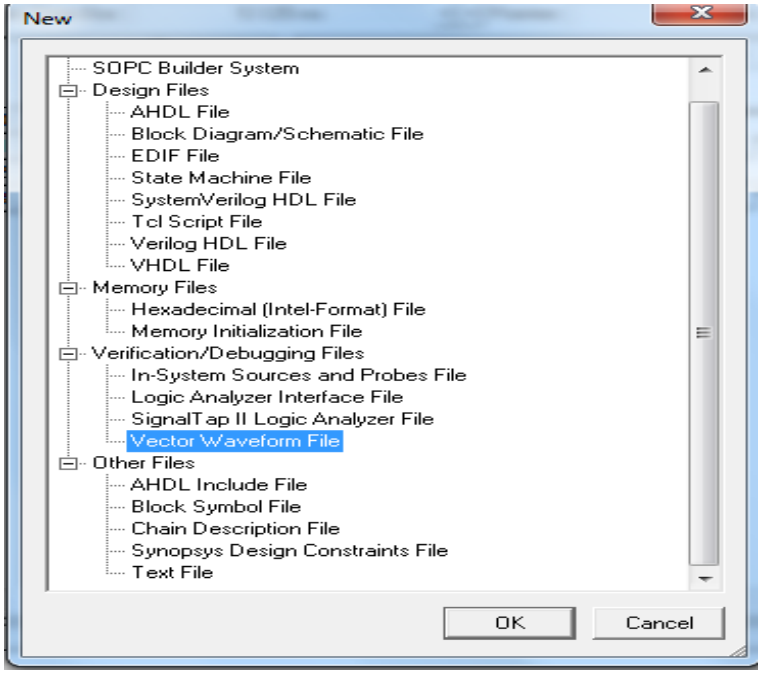


Figure 4-8 Connections between the slide switches and Cyclone IV E FPGA

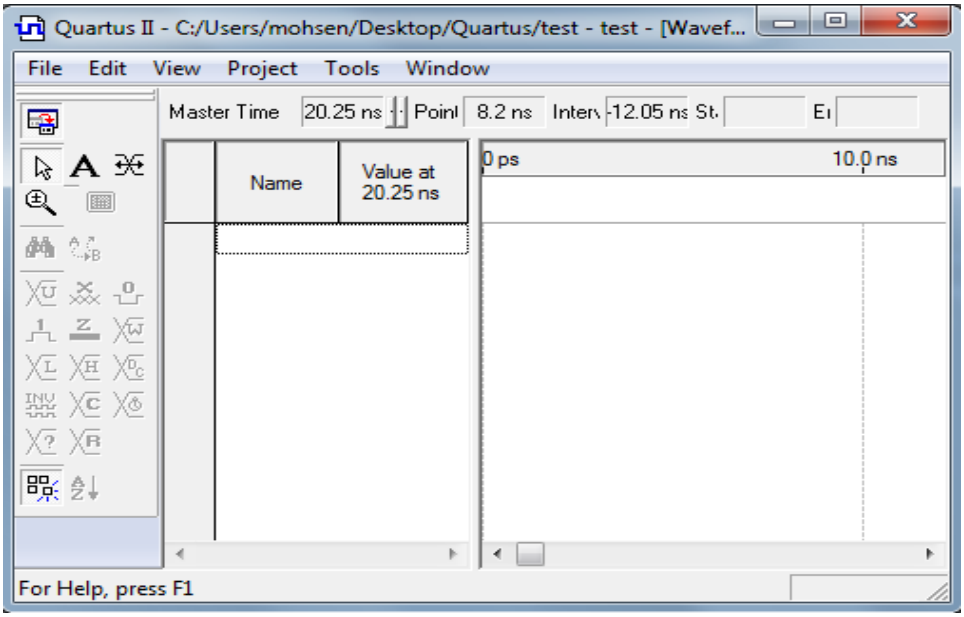
Signal Name	FPGA Pin No.	Description
SW[0]	PIN_N25	Toggle Switch[0]
SW[1]	PIN_N26	Toggle Switch[1]
SW[2]	PIN_P25	Toggle Switch[2]
SW[3]	PIN_AE14	Toggle Switch[3]
SW[4]	PIN_AF14	Toggle Switch[4]
SW[5]	PIN_AD13	Toggle Switch[5]
SW[6]	PIN_AC13	Toggle Switch[6]
SW[7]	PIN_C13	Toggle Switch[7]
SW[8]	PIN_B13	Toggle Switch[8]
SW[9]	PIN_A13	Toggle Switch[9]
SW[10]	PIN_N1	Toggle Switch[10]
SW[11]	PIN_P1	Toggle Switch[11]
SW[12]	PIN_P2	Toggle Switch[12]
SW[13]	PIN_T7	Toggle Switch[13]
SW[14]	PIN_U3	Toggle Switch[14]
SW[15]	PIN_U4	Toggle Switch[15]
SW[16]	PIN_V1	Toggle Switch[16]
SW[17]	PIN_V2	Toggle Switch[17]

نحوه شبیه‌سازی طرح با استفاده از نرم‌افزار Quartus

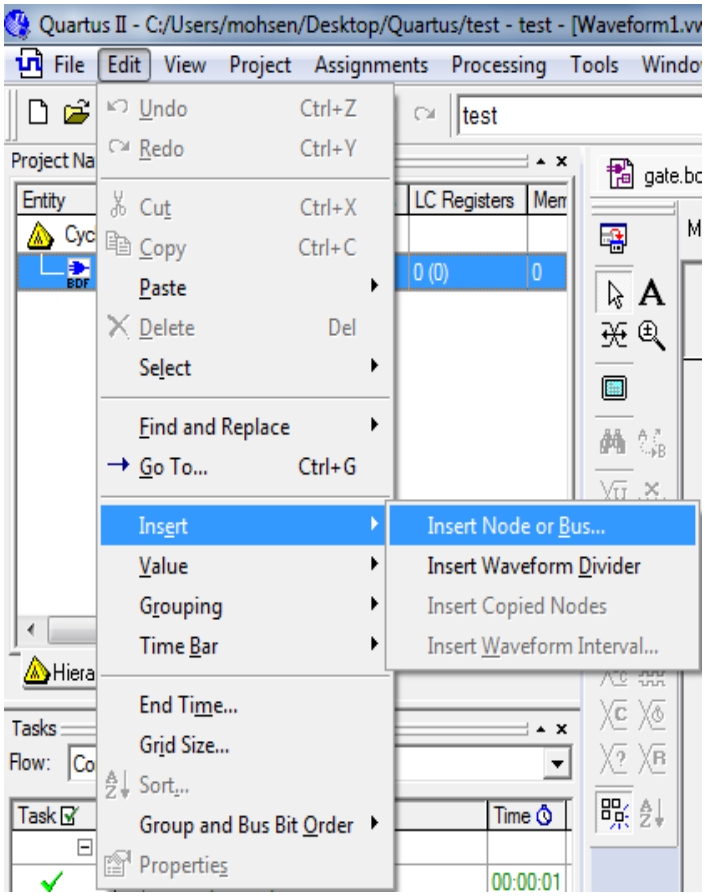
Quartus II امکان شبیه‌سازی مدارات طراحی‌شده را برای شما فراهم می‌کند. در این قسمت، هم به‌منظور توضیح این ویژگی در نرم‌افزار Quartus و هم به‌منظور اطمینان حاصل کردن از درستی عملکرد طراحی، مدار خود را شبیه‌سازی می‌کنیم. به منوی File -> New مراجعه کرده و این بار به‌جای فایل‌های طراحی به بخش فایل‌های درستی سنجی/درستی یابی رفته و گزینه‌ی Vector Waveform Fileرا انتخاب کنید.



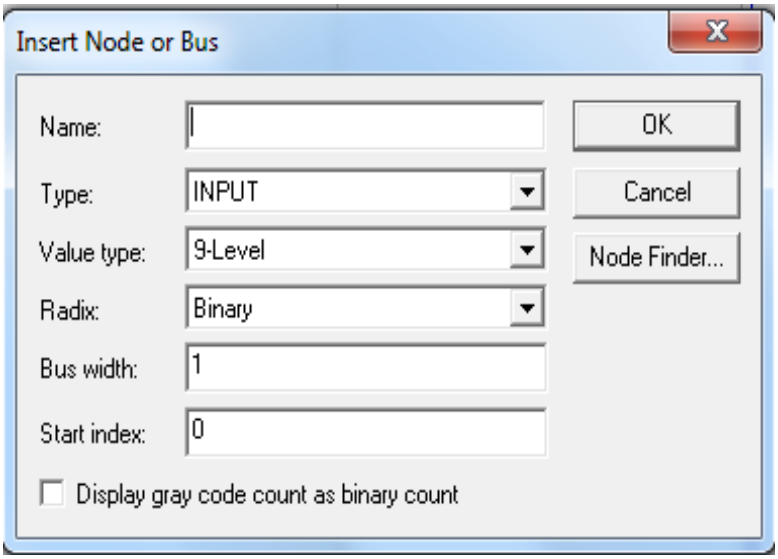
بعد از انتخاب گزینه Vector Waveform File، پنجره‌ی مربوط به شکل موج باز می‌شود.



سپس گزینه Edit→Insert Node or Bus را همانند شکل زیر انتخاب کنید. بدین ترتیب که گره‌های موردنیاز در طراحی را انتخاب کرده و سیگنال‌ها یا پورت‌های ورودی/خروجی و یا هر موجودیتی را که خواستار حضور آن در شبیه‌سازی هستید را به شکل موج خود بیفزایید.

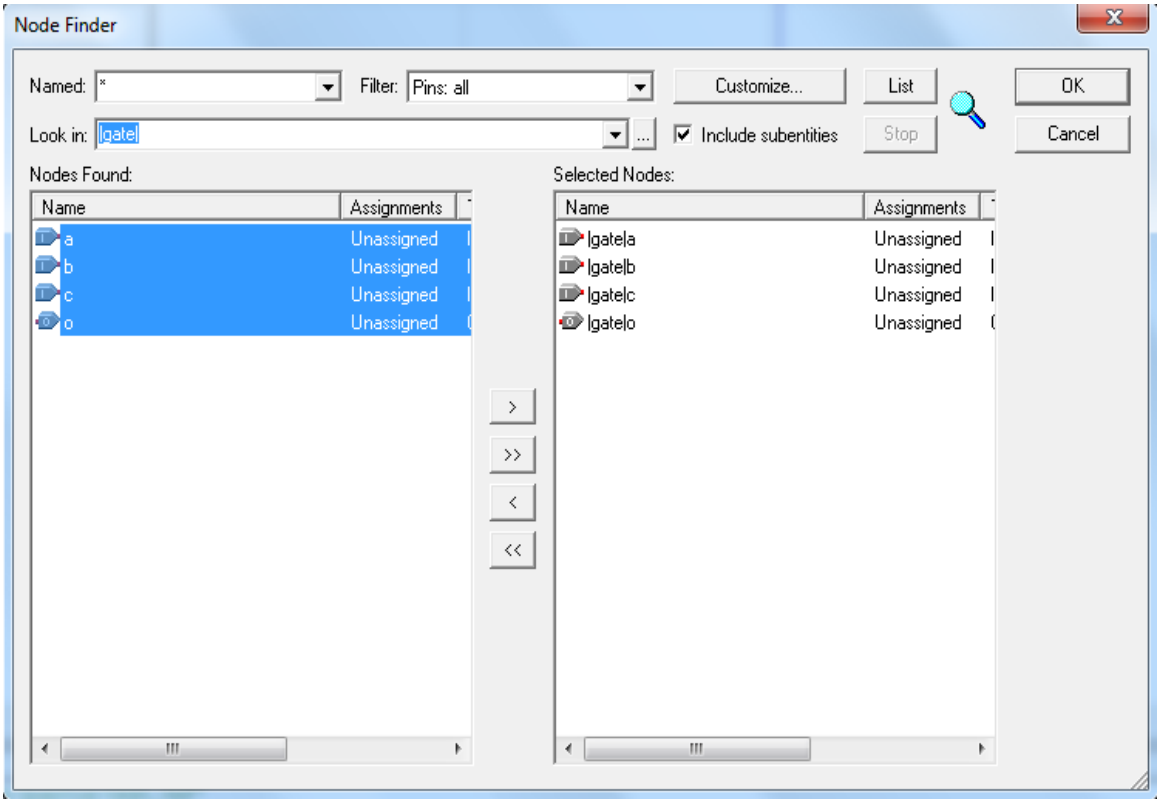


بعد از انتخاب گزینه Insert Node or Bus پنجره‌ی همانند شکل زیر باز می‌شود.



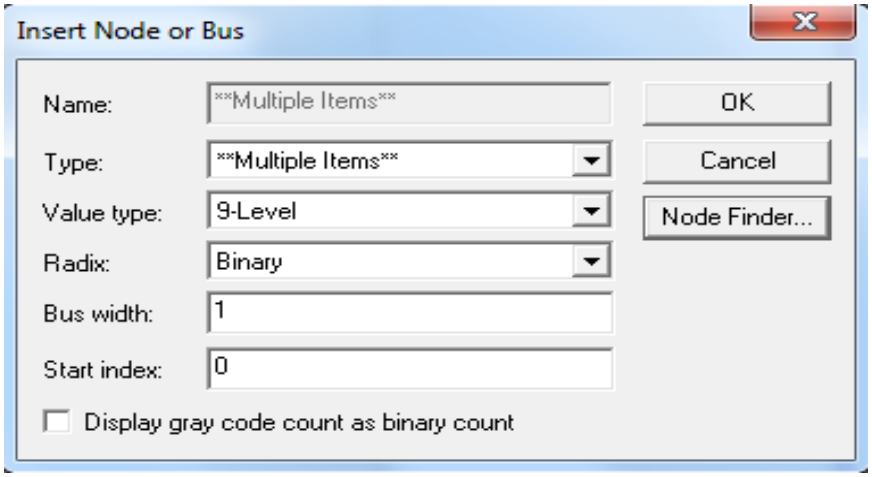
در این قسمت می‌توانید نام پین را در بخش Name بنویسید اما بهتر است از Node Finder استفاده نمایید.

بر روی گزینه Node Finder کلیک کنید تا صفحه‌ی همانند شکل زیر ایجاد شود.

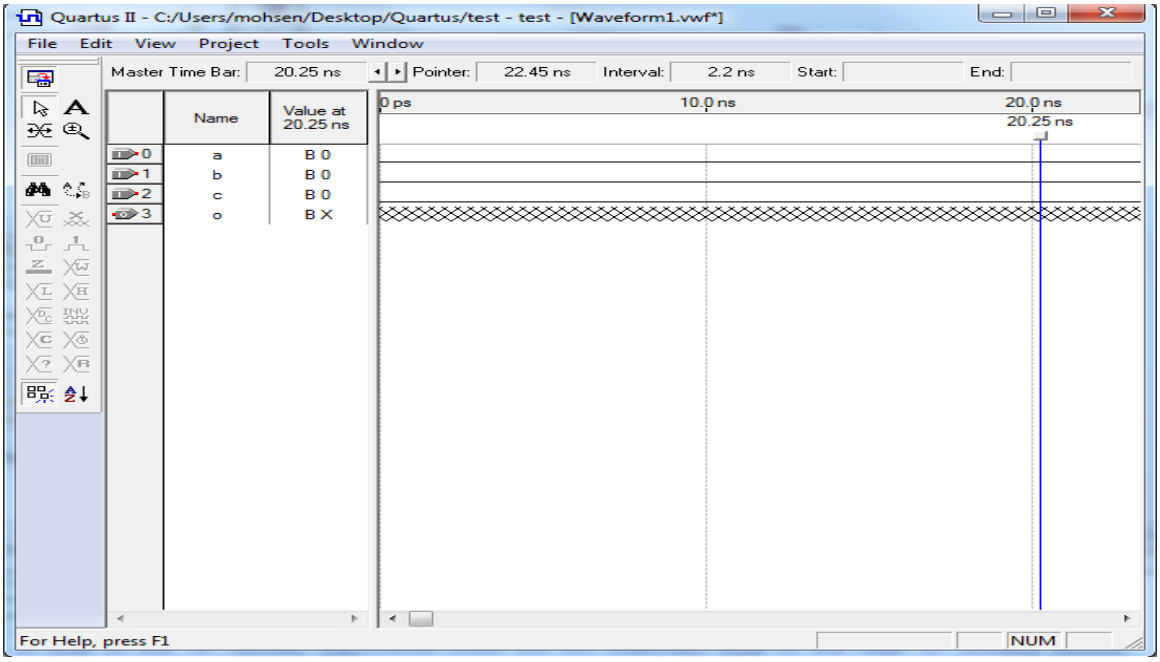


ابتدا از قسمت Filter گزینه Pind:all را انتخاب کنید. در ادامه بر روی گزینه List کلیک کنید تا تمام ورودی و خروجی‌های مربوط به طرح را در قسمت Nodes Found برای شما نمایش دهد. سپس ورودی و خروجی‌های موردنظر را انتخاب، و روی علامت > کلیک کنید تا به قسمت Selected Nodes همانند شکل بالا اضافه شود.

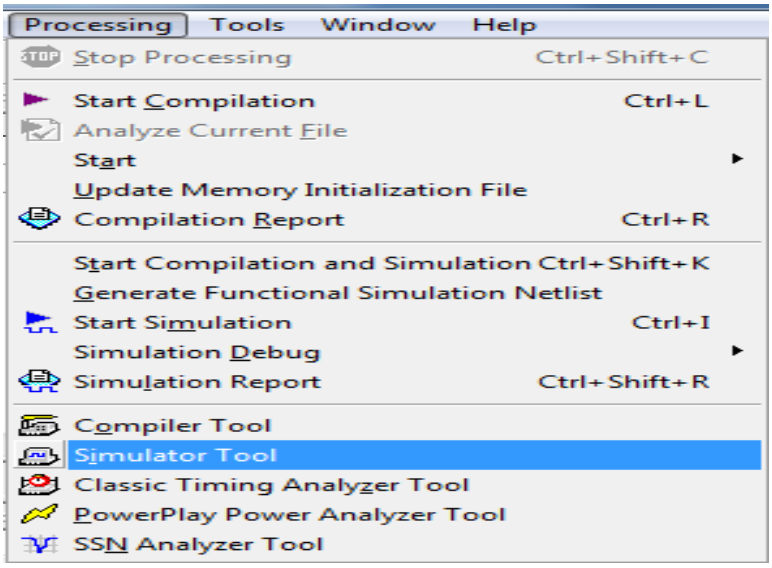
در ادامه با زدن گزینه OK شکل زیر نمایان می‌شود که در این قسمت می‌توانید تنظیماتی دیگر همانند انتخاب Radix ورودی و خروجی‌ها را معین نمایید.



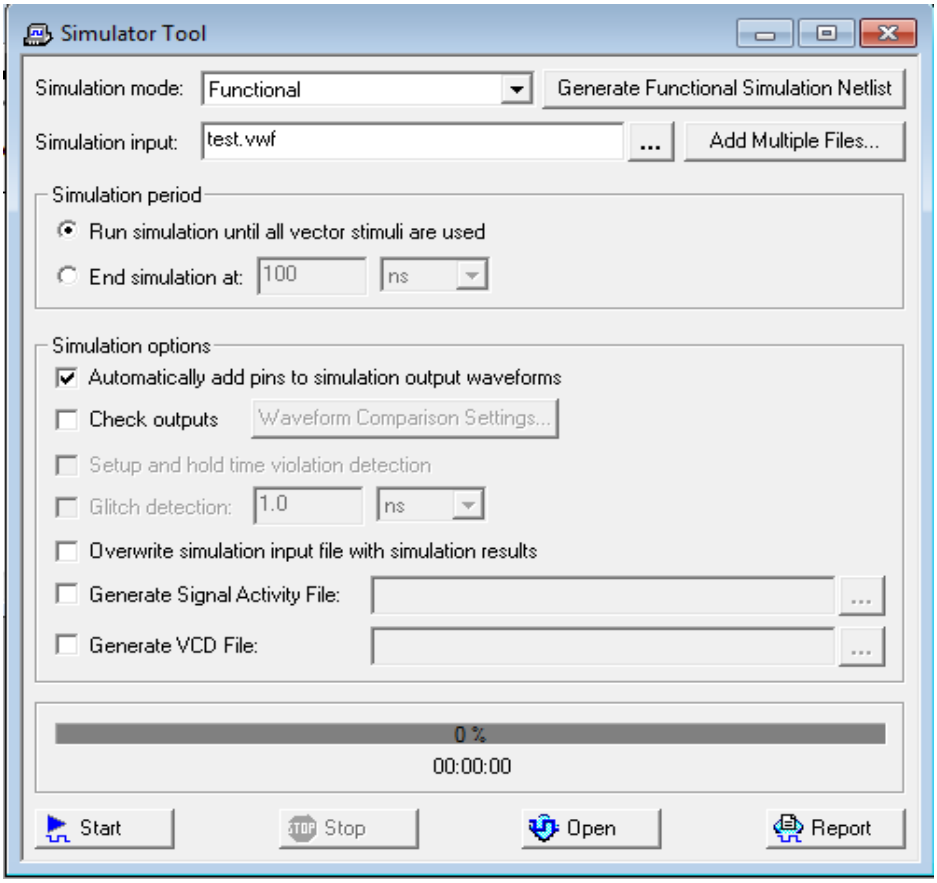
بعد از انجام تنظیمات مربوطه و دلخواه گزینه OK را انتخاب کنید. در ادامه شکل زیر ظاهر می‌شود. همان‌گونه که مشاهده می‌کنید تمام سیگنال‌های ورودی و خروجی نمایان شده‌اند اما شکل موج‌های خروجی هنوز به‌صورت هاشور خورده باقی‌مانده که مقدار آن در حین شبیه‌سازی مشخص می‌شود.



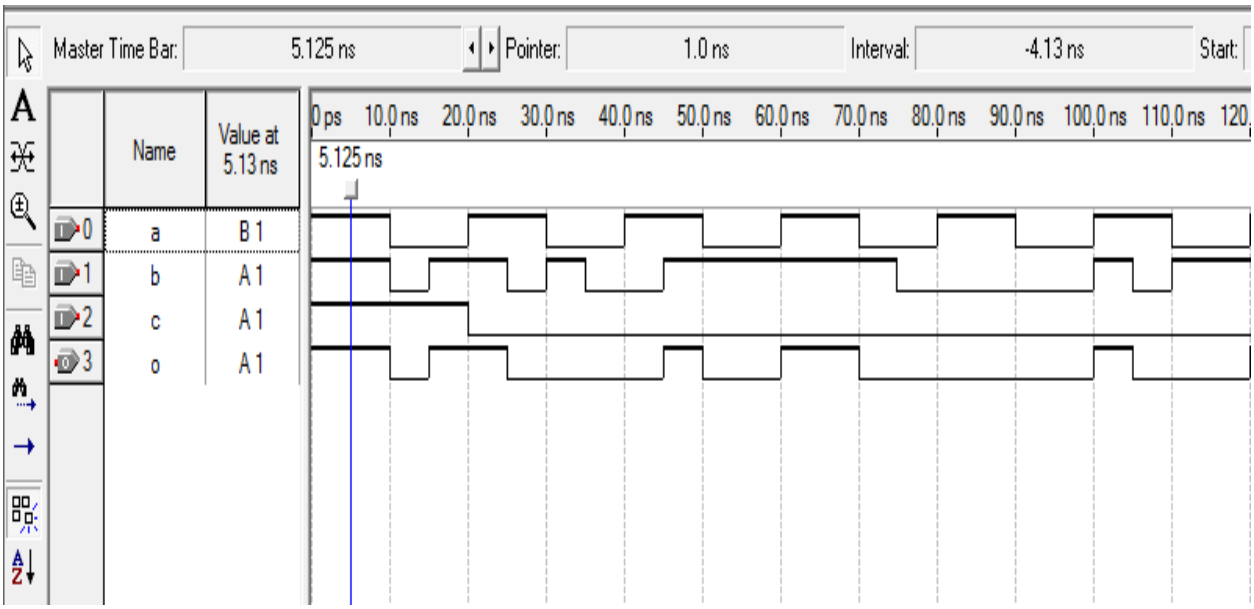
در ادامه فایل را در پوشه پروژه ذخیره نمایید. مدار طراحی‌شده می‌تواند به دو روش شبیه‌سازی شود. درروش ساده‌تر سیم های ارتباطی ایده‌آل و بدون تاخیر انتشار در نظرگرفته شده که به آن شبیه‌سازی عملکردی می‌گویند. درروش دوم که پیچیده می‌باشد، تمام تاخیر انتشارها محاسبه شده که به آن شبیه‌سازی زمانی گفته می‌شود. هدف ما در این قسمت شبیه‌سازی عملکردی می‌باشد. برای اجرای این نوع شبیه سازی از قسمت Processing همانند شکل زیرگزینه Simulator Tool را انتخاب نمایید.



بعد از انتخاب گزینه Simulator Tool شکلی همانند شکل زیر ظاهر می‌شود.



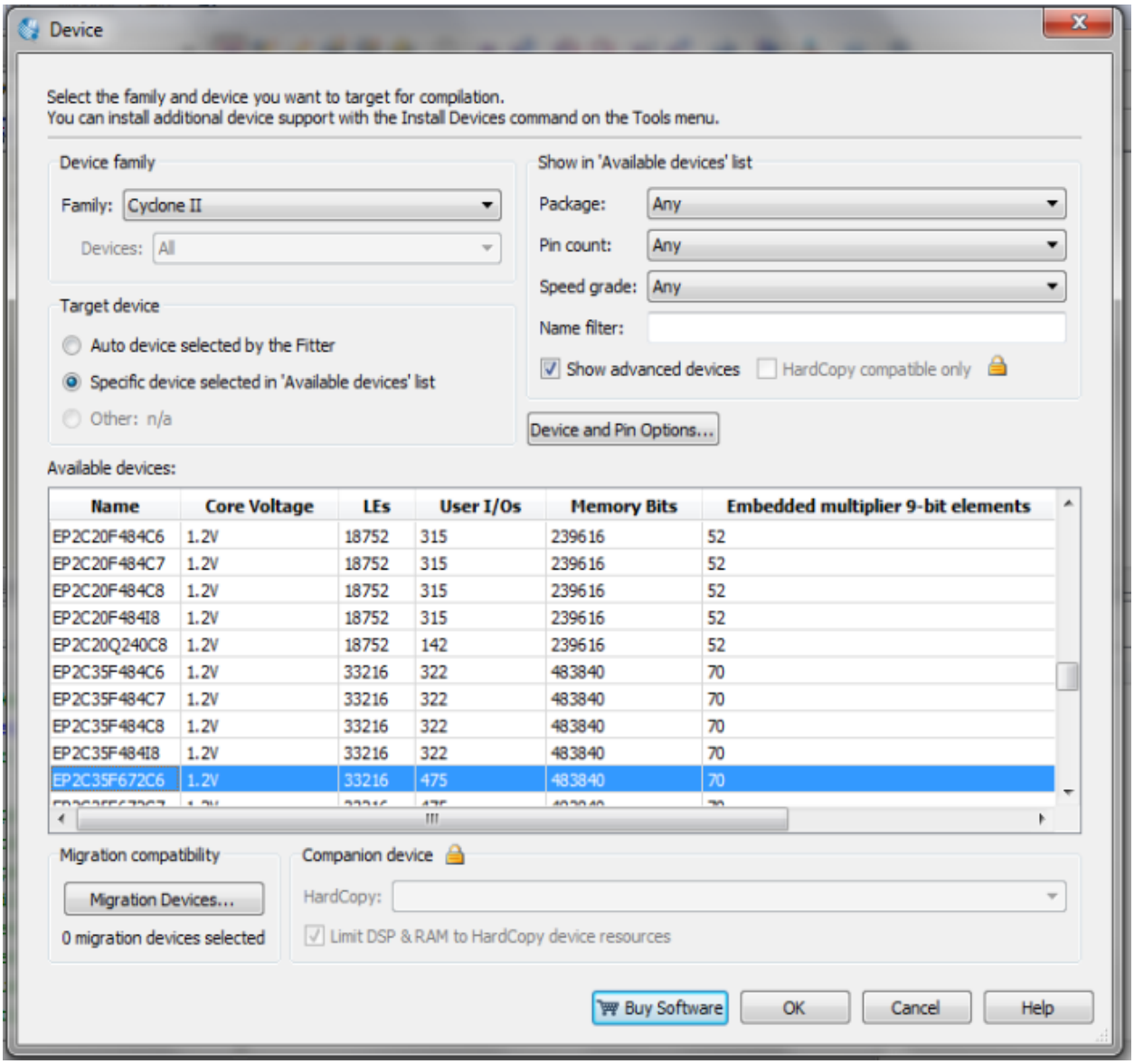
سپس در قسمت Simulation Mode گزینه Functional را انتخاب و گزینه Generate Functional Simulationرا انتخاب کنید. سپس بر روی Open کلیک کنید و به سیگنال‌های ورودی مقدار دهید. Save کنید. و سپس بر روی گزینه Start کلیک کنید و پس از اتمام با موفقیت بودن و بدون خطا می‌توانید برای دیدن خروجی بر روی گزینه Report کلیک کنید.



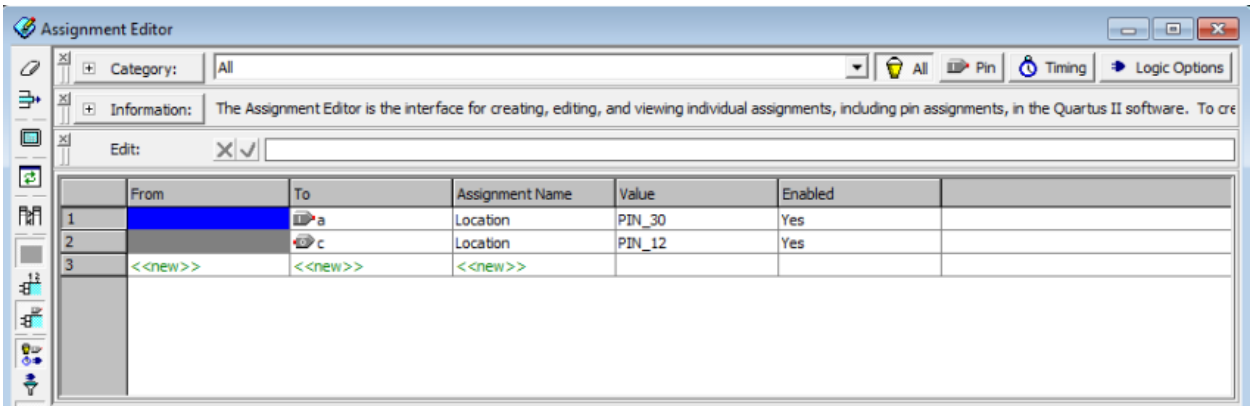
نحوه پروگرم کردن برنامه بر روی برد DE2 شرکت Altera

پیاده‌سازی فرآیندی شامل ترجمه ،ترسیم ،جایابی و مسیریابی است. در این قسمت پیاده‌سازی روی برد DE2 انجام می‌شود. اما روند مشابهی برای برنامه‌ریزی هرFPGA ای از شرکت ALTERA در Quartus تعریف شده‌است که در این قسمت به آن می‌پردازیم.

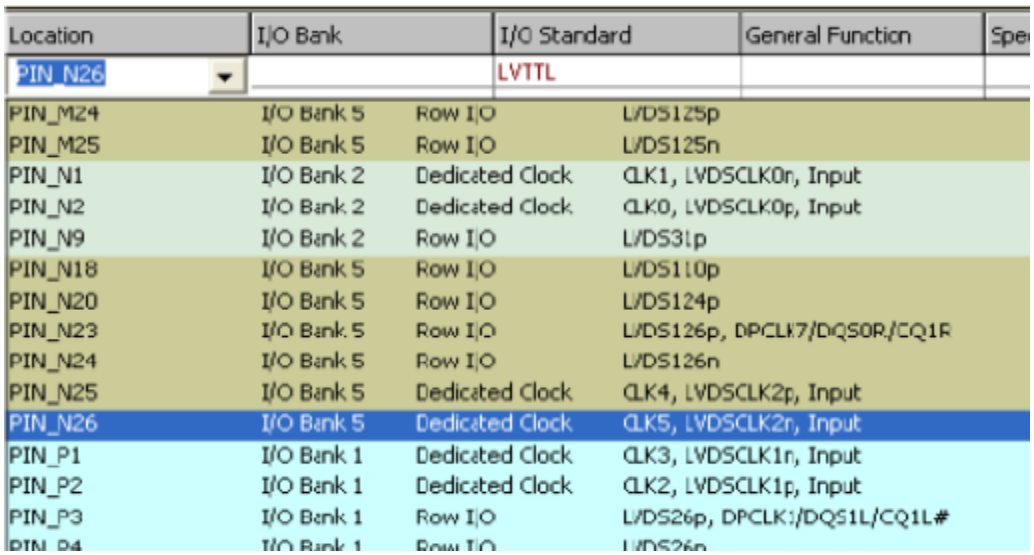
در ابتدای کار بایستی دستگاه مقصد را از حالت پیش‌فرض به دستگاه مقصد برد DE2 تغییر دهید. می‌توانید این کار را در ابتدای زمان تعریف پروژه انجام دهید و یا اگر از آن مرحله عبور کرده‌اید از طریق Assignment>Device به پنجره های مشابه شکل زیر بروید. در این پنجره در قسمت خانواده Cyclone II و برای نوع دستگاه EP2C35F672C6 را انتخاب کنید و تایید را بزنید.



درادامه فرآیند تخصیص پین انجام می‌شود. برای انتساب پین‌ها از ابزار Assignment Editor استفاده می‌شود. بدین منظور از مسیر Assignment→Pins را انتخاب و در لیست ارائه‌شده Pin را کلیک نموده و بعد NEW را که پررنگ شده، دوبار کلیک کنید. یک پنجره پایین رو ظاهر می‌شود. روی هر ورودی یا خروجی که می‌خواهید، کلیک کنید تا در جدول قرارگیرد. سپس با دوبار کلیک آن، پنجره دیگری باز می‌گردد.



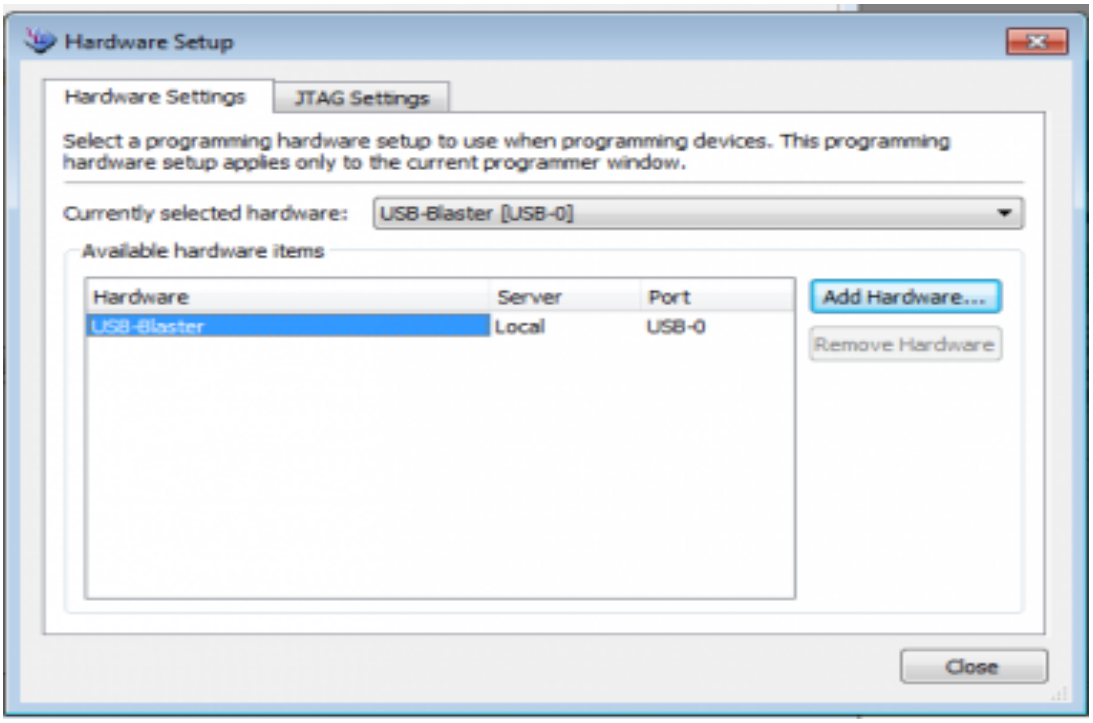
حالا هر پین واقعی روی FPGA را که می‌خواهید، انتخاب نمایید تا انتساب صورت گیرد. به همین ترتیب بقیه ورودی و خروجی‌ها را به پین‌های FPGA تخصیص دهید. اکنون با استفاده از مسیر File→Save این فایل تخصیص پین‌ها را ذخیره نمایید. بار دیگر طرح خود را که پین‌های واقعی و موردنظر شما را برای ورودی و خروجی‌ها در نظر گرفته شده است کامپایل نمایید.



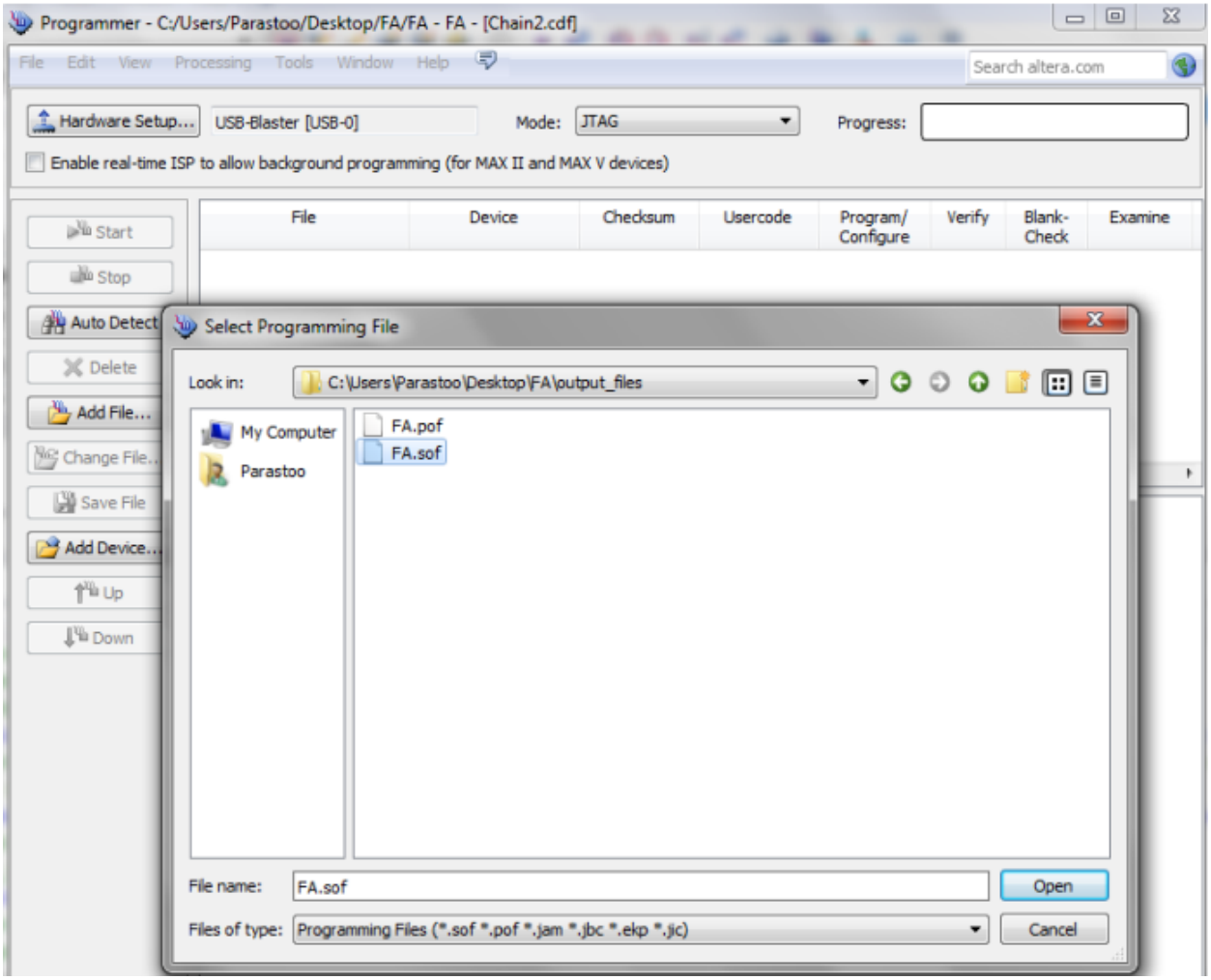
برای برنامه‌ریزی دستگاه ابتدا سیم‌های Power و اتصال به کامپیوتر برد را وصل کنید.

سپس از مسیر Tools -> Programmer پنجره برنامه‌ریزی را باز کنید.

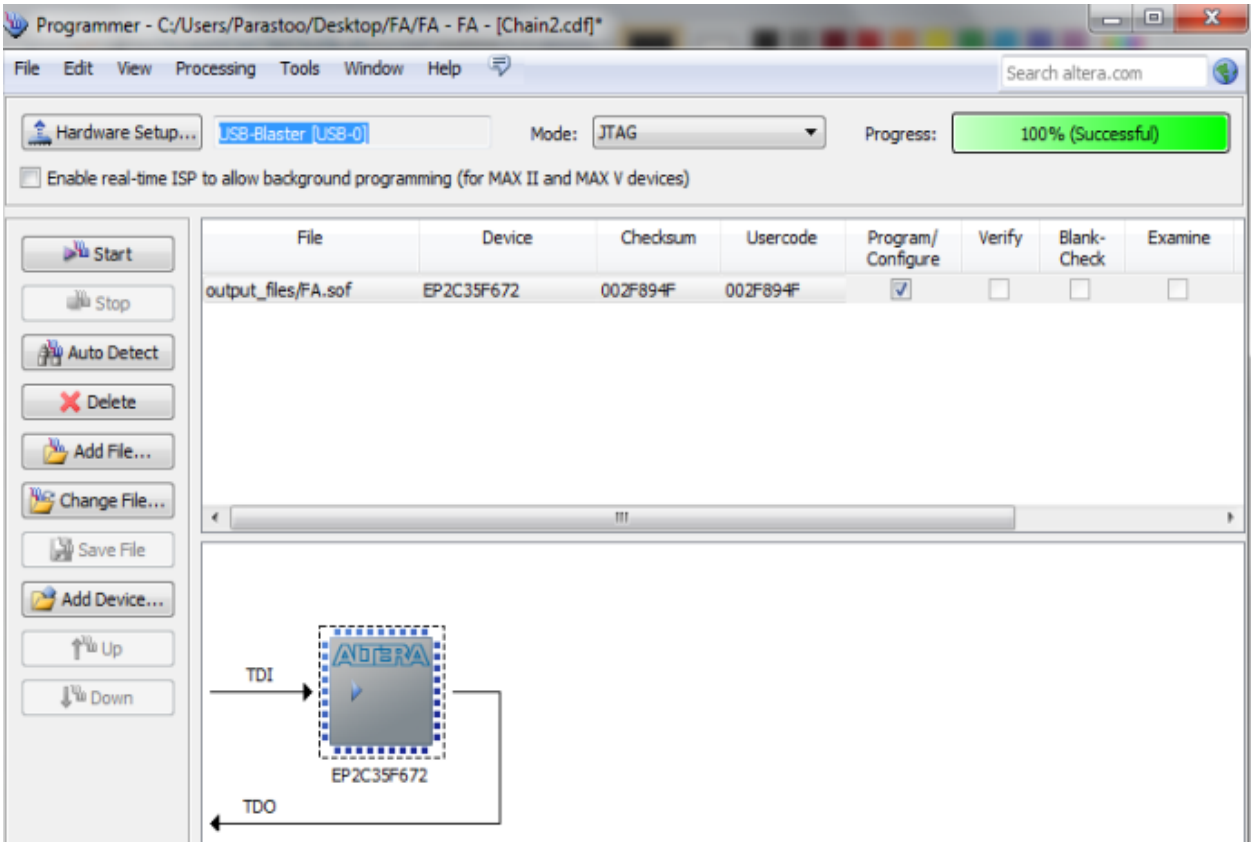
در ادامه صفحه برنامه‌ریزی بر روی تنظیمات سخت‌افزار بروید و در بخش سخت‌افزارهای موجود گزینه USB-Blaster را انتخاب کنید.



در ادامه باید فایل پروژه خود را به این قسمت اضافه کنید. بنابراین روی گزینه افزودن فایل کلیک کرده و در بخش فایل‌های خروجی دنبال فایلی با نام طراحی شما و با پسوند sof. بگردید و آن را باز کنید.



سپس در صفحه‌ی اصلی آن فایل آن را انتخاب و گزینه‌ی Start را بزنید. اگر در روند برنامه‌ریزی خطایی وجود نداشته باشد عملیات با موفقیت انجام خواهد شد.



در این مرحله کار به اتمام می‌رسد. شما تا اینجا با عملیات پایه‌ای در Quartus آشنا شدید و می‌توانید سخت‌افزار خود را طراحی و روی برد DE2 آن را تست کنید.

آزمایش ۱۴: طراحی نمایشگر۷ قسمتی و نحوه پیاده‌سازی طرح بر روی برد DE2

هدف :

آشنایی با ماژول 7 Segment و نحوه طراحی آن با استفاده از BCD

تئوری آزمایش:

در این آزمایش با استفاده از شمارش اعداد BCD قصد داریم عدد مورد نظر را بر روی 7Segmentهای تعبیه‌شده بر روی برد بعد از شبیه‌سازی و پروگرم کردن طرح، نمایش می‌دهیم.

مراحل انجام آزمایش:

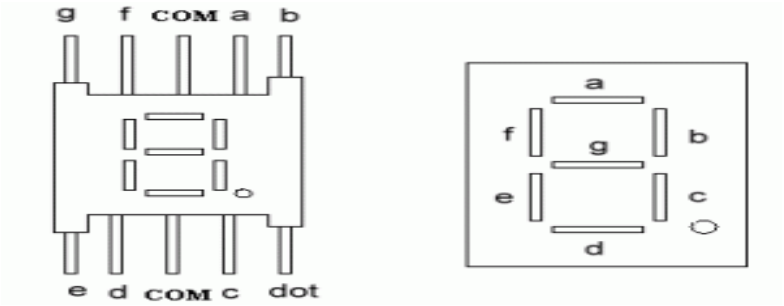
الف) سون سگمنت‌ها قطعاتی هستند که در آن ها از ۸ عدد LED استفاده شده است. ۷ عدد LED مربوط به نمایش می‌باشد و یکی دیگر از آن ها مربوط به ممیز است. سون سگمنت‌ها چون از LED تشکیل شده و LEDها ساختاری چون آند و کاتد دارند لذا آن ها را به دو دسته آند مشترک و کاتد مشترک دسته‌بندی می‌کنند .

۱-کاتد مشترک

در این دسته از سون سگمنت‌ها، کاتد تمامی LEDهای موجود در سون سگمنت به یکدیگر متصل شده است. به این معنا که برای روشن شدن هرکدام از LED های a تا g کافی است که پایه مشترک (پایه کاتد مشترک) رو به صفر (زمین) وصل کنیم و برای روشن شدن هر سگمنت به پایه ی متناظر آن سگمنت یک (مثبت) بدیم.

۲-آند مشترک :

در این دسته از سون سگمنت‌ها، آند تمامی LEDهای موجود در سون سگمنت به یکدیگر متصل شده است. به این معنا که برای روشن شدن هرکدام از LED های a تا g کافی است که پایه مشترک (پایه آند مشترک) رو به مثبت (یک منطقی) وصل کنیم و برای روشن شدن هر سگمنت به پایه ی متناظر آن سگمنت صفر (زمین) بدیم.



ب) ماژول یک 7 Segment که بر روی برد DE2 قرار دارد را با استفاده از ارتباط بین پایه‌ها و دیودهای A تا G همانند جدول زیر طراحی کنید.

Segments Inputs							7 Segment Display Output
a	b	c	d	e	f	g	
1	1	1	1	1	1	0	0
0	1	1	0	0	0	0	1
1	1	0	1	1	0	1	2
1	1	1	1	0	0	1	3
0	1	1	0	0	1	1	4
1	0	1	1	0	1	1	5
1	0	1	1	1	1	1	6
1	1	1	0	0	0	0	7
1	1	1	1	1	1	1	8
1	1	1	1	0	0	1	9

The DE2-115 Board has eight 7-segment displays. These displays are arranged into two pairs and a group of four, behaving the intent of displaying numbers of various sizes. As indicated in the schematic in Figure 4-10, the seven segments (common anode) are connected to pins on Cyclone IV E FPGA. Applying a low logic level to a segment will light it up and applying a high logic level turns it off.

Each segment in a display is identified by an index from 0 to 6, with the positions given in Figure 4-10. Table 4-4 shows the assignments of FPGA pins to the 7-segment displays.

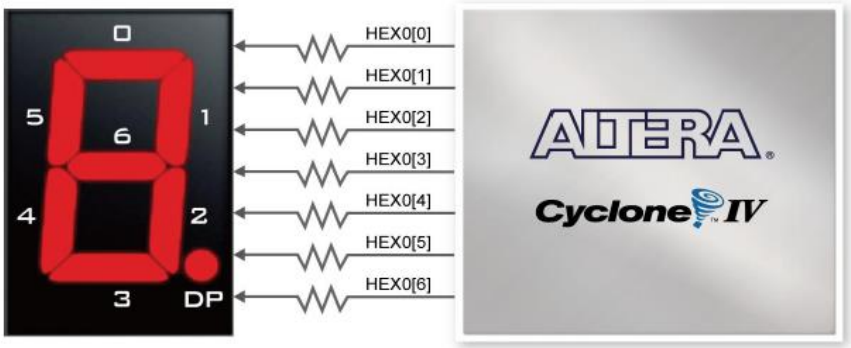


Figure 4-10 Connections between the 7-segment display HEX0 and Cyclone IV E FPGA

قطعه کد VHDL نمایشگر ۷ قسمتی

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity bcd_7segment is
Port (       BCDin            : in  STD_LOGIC_VECTOR (3 downto 0);
             Seven_Segment : out STD_LOGIC_VECTOR (6 downto 0));
end bcd_7segment;
architecture Behavioral of bcd_7segment is
begin
process(BCDin)
begin
case BCDin is
when "0000" =>
Seven_Segment <= "0000001"; ---0
when "0001" =>
Seven_Segment <= "1001111"; ---1
when "0010" =>
Seven_Segment <= "0010010"; ---2
```

```
when "0011" =>
Seven_Segment <= "0000110"; ---3
when "0100" =>
Seven_Segment <= "1001100"; ---4
when "0101" =>
Seven_Segment <= "0100100"; ---5
when "0110" =>
Seven_Segment <= "0100000"; ---6
when "0111" =>
Seven_Segment <= "0001111"; ---7
when "1000" =>
Seven_Segment <= "0000000"; ---8
when "1001" =>
Seven_Segment <= "0000100"; ---9
when others =>
Seven_Segment <= "1111111"; ---null
end case;
end process;
end Behavioral;
```

Signal Name	FPGA Pin No.	Description
HEX0[0]	PIN_AF10	Seven Segment Digit 0[0]
HEX0[1]	PIN_AB12	Seven Segment Digit 0[1]
HEX0[2]	PIN_AC12	Seven Segment Digit 0[2]
HEX0[3]	PIN_AD11	Seven Segment Digit 0[3]
HEX0[4]	PIN_AE11	Seven Segment Digit 0[4]
HEX0[5]	PIN_V14	Seven Segment Digit 0[5]
HEX0[6]	PIN_V13	Seven Segment Digit 0[6]
HEX1[0]	PIN_V20	Seven Segment Digit 1[0]
HEX1[1]	PIN_V21	Seven Segment Digit 1[1]
HEX1[2]	PIN_W21	Seven Segment Digit 1[2]
HEX1[3]	PIN_Y22	Seven Segment Digit 1[3]
HEX1[4]	PIN_AA24	Seven Segment Digit 1[4]
HEX1[5]	PIN_AA23	Seven Segment Digit 1[5]
HEX1[6]	PIN_AB24	Seven Segment Digit 1[6]
HEX2[0]	PIN_AB23	Seven Segment Digit 2[0]
HEX2[1]	PIN_V22	Seven Segment Digit 2[1]
HEX2[2]	PIN_AC25	Seven Segment Digit 2[2]

HEX2[3]	PIN_AC26	Seven Segment Digit 2[3]
HEX2[4]	PIN_AB26	Seven Segment Digit 2[4]
HEX2[5]	PIN_AB25	Seven Segment Digit 2[5]
HEX2[6]	PIN_Y24	Seven Segment Digit 2[6]
HEX3[0]	PIN_Y23	Seven Segment Digit 3[0]
HEX3[1]	PIN_AA25	Seven Segment Digit 3[1]
HEX3[2]	PIN_AA26	Seven Segment Digit 3[2]
HEX3[3]	PIN_Y26	Seven Segment Digit 3[3]
HEX3[4]	PIN_Y25	Seven Segment Digit 3[4]
HEX3[5]	PIN_U22	Seven Segment Digit 3[5]
HEX3[6]	PIN_W24	Seven Segment Digit 3[6]
HEX4[0]	PIN_U9	Seven Segment Digit 4[0]
HEX4[1]	PIN_U1	Seven Segment Digit 4[1]
HEX4[2]	PIN_U2	Seven Segment Digit 4[2]
HEX4[3]	PIN_T4	Seven Segment Digit 4[3]
HEX4[4]	PIN_R7	Seven Segment Digit 4[4]
HEX4[5]	PIN_R6	Seven Segment Digit 4[5]
HEX4[6]	PIN_T3	Seven Segment Digit 4[6]
HEX5[0]	PIN_T2	Seven Segment Digit 5[0]

HEX5[1]	PIN_P6	Seven Segment Digit 5[1]
HEX5[2]	PIN_P7	Seven Segment Digit 5[2]
HEX5[3]	PIN_T9	Seven Segment Digit 5[3]
HEX5[4]	PIN_R5	Seven Segment Digit 5[4]
HEX5[5]	PIN_R4	Seven Segment Digit 5[5]
HEX5[6]	PIN_R3	Seven Segment Digit 5[6]
HEX6[0]	PIN_R2	Seven Segment Digit 6[0]
HEX6[1]	PIN_P4	Seven Segment Digit 6[1]
HEX6[2]	PIN_P3	Seven Segment Digit 6[2]
HEX6[3]	PIN_M2	Seven Segment Digit 6[3]
HEX6[4]	PIN_M3	Seven Segment Digit 6[4]
HEX6[5]	PIN_M5	Seven Segment Digit 6[5]
HEX6[6]	PIN_M4	Seven Segment Digit 6[6]
HEX7[0]	PIN_L3	Seven Segment Digit 7[0]
HEX7[1]	PIN_L2	Seven Segment Digit 7[1]
HEX7[2]	PIN_L9	Seven Segment Digit 7[2]
HEX7[3]	PIN_L6	Seven Segment Digit 7[3]
HEX7[4]	PIN_L7	Seven Segment Digit 7[4]
HEX7[5]	PIN_P9	Seven Segment Digit 7[5]
HEX7[6]	PIN_N9	Seven Segment Digit 7[6]

آزمایش ۱۵: طراحی و پیاده‌سازی مدار ترتیبی

هدف:

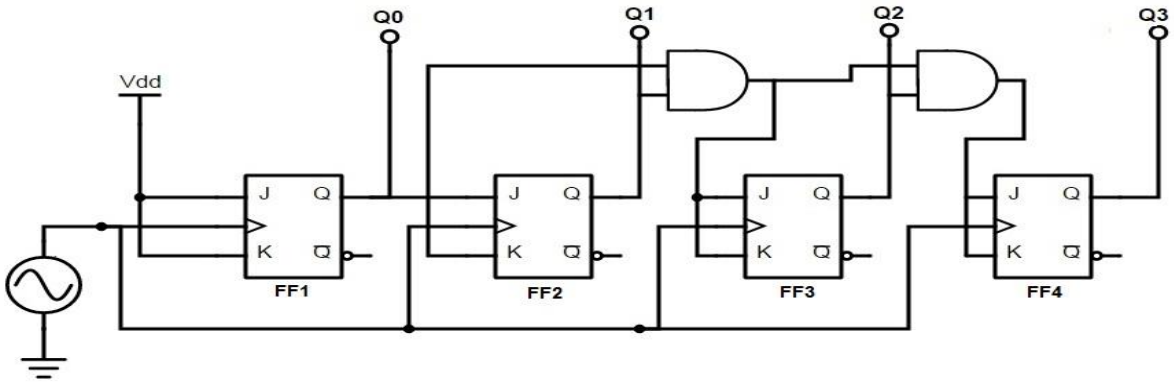
آشنایی با مدارهای ترتیبی و نحوه طراحی مدار با استفاده از فیلیپ فلاپ

تئوری آزمایش:

در این آزمایش جهت مرور مفاهیم مدارهای ترتیبی قصد داریم با استفاده از فیلیپ فلاپ نوع JK یک مدار ترتیبی را طراحی و طرح موردنظر را با استفاده از نرم‌افزار Quartus شبیه‌سازی و پروگرم کنیم.

مراحل انجام آزمایش:

الف) ابتدا با استفاده از جدول صحت فیلیپ فلاپ JK ترتیب شمارش مدار زیر را به‌صورت تئوری به‌دست آورید.



ب) حال با کمک امکانات شماتیک نرم‌افزار Quartus مدار را در محیط نرم‌افزار طراحی کنید.

ج) در این قسمت از آزمایش شماتیک طراحی‌شده را شبیه‌سازی نموده و صحت عملکرد آن را با نتایج به‌دست آمده از مرحله اول مقایسه کنید.

.

The DE2-115 board includes one oscillator that produces 50 MHz clock signal. A clock buffer is used to distribute 50 MHz clock signal with low jitter to FPGA. The distributing clock signals are connected to the FPGA that are used for clocking the user logic. The board also includes two SMA connectors which can be used to connect an external clock source to the board or to drive a clock signal out through the SMA connector. In addition, all these clock inputs are connected to the phase locked loops (PLL) clock input pins of the FPGA to allow users to use these clocks as a source clock for the PLL circuit.

The clock distribution on the DE2-115 board is shown in Figure 4-11. The associated pin assignments for clock inputs to FPGA I/O pins are listed in Table 4-5.

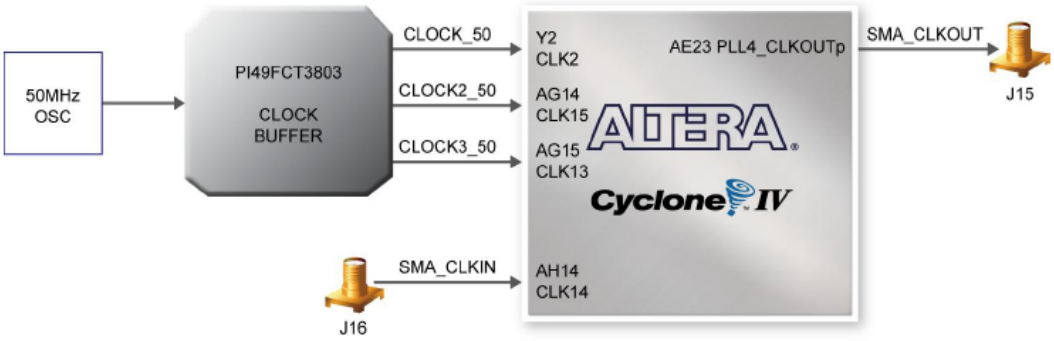


Figure 4-11 Block diagram of the clock distribution

پرسش:

ابتدا با استفاده از کلاک 50 MHz تعبیه شده بر روی برد یک نمونه مقسم فرکانس 1 Hz ایجاد کنید و آن را به پایه کلاک شمارنده طراحی شده بدهید. در ادامه خروجی ۴ بیتی شمارنده را به عنوان ورودی BCD در نظر بگیرید و آن را بر روی نمایشگر ۷ قسمتی نمایش دهید.

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC00
Quad 2-Input NAND Gate

General Description

The MM74HC00 NAND gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. All gates have buffered outputs. All devices have high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 8 ns
- Wide power supply range: 2–6V
- Low quiescent current: 20 μA maximum (74HC Series)
- Low input current: 1 μA maximum
- Fanout of 10 LS-TTL loads

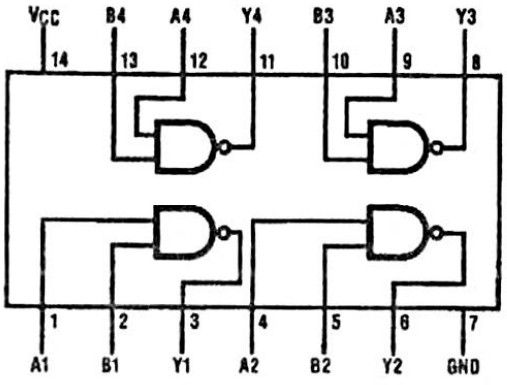
Ordering Code:

Order Number	Package Number	Package Description
MM74HC00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC00MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC00SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC00MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC00MTCX_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC00N_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

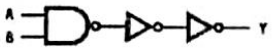
Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Logic Diagram



© 2005 Fairchild Semiconductor Corporation

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC04
Hex Inverter

General Description

The MM74HC04 inverters utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits.

The MM74HC04 is a triple buffered inverter. It has high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 8 ns
- Fan out of 10 LS-TTL loads
- Quiescent power consumption: 10 μW maximum at room temperature
- Low input current: 1 μA maximum

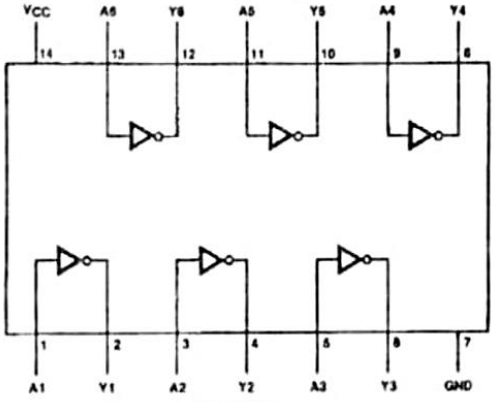
Ordering Code:

Order Number	Package Number	Package Description
MM74HC04M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC04M_NL		Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC04SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC04MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC04MTC_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC04N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC04N_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Logic Diagram

1 of 6 Inverters

© 2005 Fairchild Semiconductor Corporation DS005069 www.fairchildsemi.com

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC08
Quad 2-Input AND Gate

General Description

The MM74HC08 AND gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. The HC08 has buffered outputs, providing high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

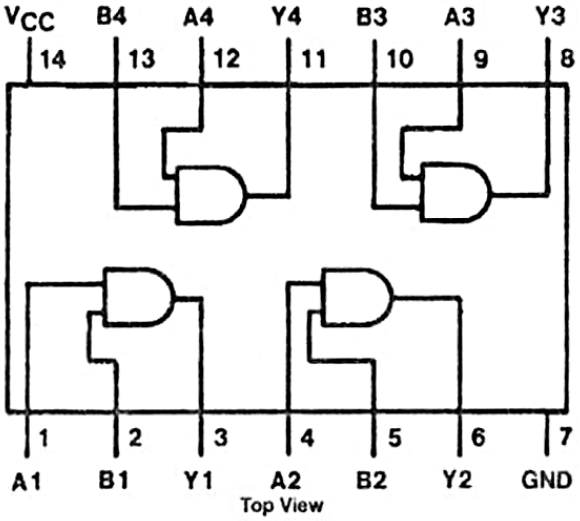
- Typical propagation delay: 7 ns (t_{PHL}), 12 ns (t_{PLH})
- Fanout of 10 LS-TTL loads
- Quiescent power consumption: 2 µA maximum at room temperature
- Low input current: 1 µA maximum

Ordering Code:

Order Number	Package Number	Package Description
MM74HC08M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC08MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC08SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC08MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC08MTCX-NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC08N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code. (Tape and Reel not available in N14A)
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram



Top View

© 2005 Fairchild Semiconductor Corporation

FAIRCHILD SEMICONDUCTOR™

September 1986
Revised February 2000

DM74ALS10A
Triple 3-Input NAND Gate

General Description

This device contains three independent gates, each of which performs the logic NAND function.

Features

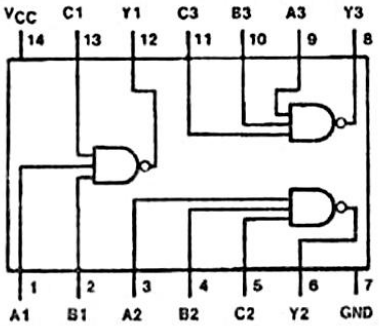
- Switching specifications at 50 pF
- Switching specifications guaranteed over full temperature and V_{CC} range
- Advanced oxide-isolated, ion-implanted Schottky TTL process
- Functionally and pin for pin compatible with Schottky and low power Schottky TTL counterpart
- Improved AC performance over Schottky and low power Schottky counterparts

Ordering Code:

Order Number	Package Number	Package Description
DM74ALS10AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74ALS10ASJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74ALS10AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{ABC}$$

Inputs			Output
A	B	C	Y
X	X	L	H
X	L	X	H
L	X	X	H
H	H	H	L

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level

© 2000 Fairchild Semiconductor Corporation

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC32
Quad 2-Input OR Gate

General Description

The MM74HC32 OR gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. All gates have buffered outputs providing high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 10 ns
- Wide power supply range: 2–6V
- Low quiescent current: 20 µA maximum (74HC Series)
- Low input current: 1 µA maximum
- Fanout of 10 LS-TTL loads

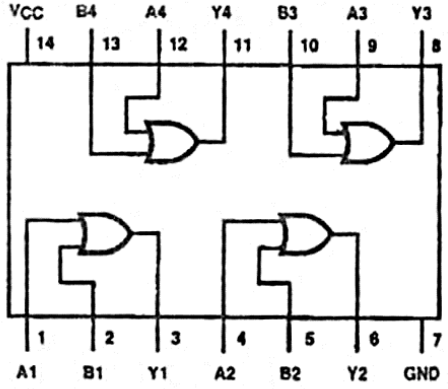
Ordering Code:

Order Number	Package Number	Package Description
MM74HC32M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC32MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC32SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC32MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC32MTCX_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC32N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC32N_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Logic Diagram

Y = A + B
(1 of 4)

© 2005 Fairchild Semiconductor Corporation DS005132 www.fairchildsemi.com

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 – MARCH 1974 – REVISED MARCH 1988

'46A, '47A, 'LS47 feature

- Open-Collector Outputs Drive Indicators Directly
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

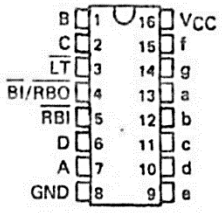
'48, 'LS48 feature

- Internal Pull-Ups Eliminate Need for External Resistors
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

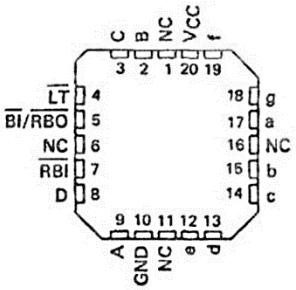
'LS49 feature

- Open-Collector Outputs
- Blanking Input

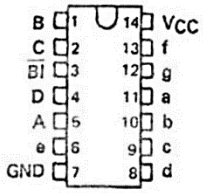
SN5446A, SN5447A, SN54LS47, SN5448, SN54LS48 . . . J PACKAGE
SN7446A, SN7447A, SN7448 . . . N PACKAGE
SN74LS47, SN74LS48 . . . D OR N PACKAGE
(TOP VIEW)



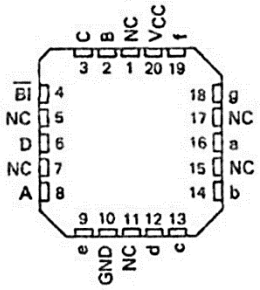
SN54LS47, SN54LS48 . . . FK PACKAGE
(TOP VIEW)



SN54LS49 . . . J OR W PACKAGE
SN74LS49 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS49 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1988, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49
SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49
BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

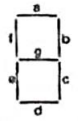
SDLS111 – MARCH 1974 – REVISED MARCH 1988

description

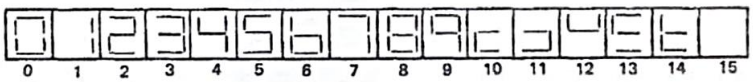
The '46A, '47A, and 'LS47 feature active-low outputs designed for driving common-anode LEDs or incandescent indicators directly. The '48, 'LS48, and 'LS49 feature active-high outputs for driving lamp buffers or common-cathode LEDs. All of the circuits except 'LS49 have full ripple-blanking input/output controls and a lamp test input. The 'LS49 circuit incorporates a direct blanking input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

The '46A, '47A, '48, 'LS47, and 'LS48 circuits incorporate automatic leading and/or trailing-edge zero-blanking control ($\overline{RBI}$ and $\overline{RBO}$). Lamp test ($\overline{LT}$) of these types may be performed at any time when the $\overline{BI}/\overline{RBO}$ node is at a high level. All types (including the '49 and 'LS49) contain an overriding blanking input ($\overline{BI}$), which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.

The SN54246/SN74246 and '247 and the SN54LS247/SN74LS247 and 'LS248 compose the 6 and the 9 with tails and were designed to offer the designer a choice between two indicator fonts.



SEGMENT IDENTIFICATION



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

'46A, '47A, 'LS47 FUNCTION TABLE (T1)

DECIMAL OR FUNCTION	INPUTS						$\overline{BI}/\overline{RBO}$†	OUTPUTS							NOTE
	$\overline{LT}$	$\overline{RBI}$	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

NOTES: 1. The blanking input ($\overline{BI}$) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ($\overline{RBI}$) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input ($\overline{BI}$), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input ($\overline{RBI}$) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output ($\overline{RBO}$) goes to a low level (response condition).
4. When the blanking input/ripple blanking output ($\overline{BI}/\overline{RBO}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

†$\overline{BI}/\overline{RBO}$ is wire AND logic serving as blanking input ($\overline{BI}$) and/or ripple-blanking output ($\overline{RBO}$).

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC74A
Dual D-Type Flip-Flop with Preset and Clear

General Description

The MM74HC74A utilizes advanced silicon-gate CMOS technology to achieve operating speeds similar to the equivalent LS-TTL part. It possesses the high noise immunity and low power consumption of standard CMOS integrated circuits, along with the ability to drive 10 LS-TTL loads.

This flip-flop has independent data, preset, clear, and clock inputs and Q and $\overline{Q}$ outputs. The logic level present at the data input is transferred to the output during the positive-going transition of the clock pulse. Preset and clear are independent of the clock and accomplished by a low level at the appropriate input.

The 74HC logic family is functionally and pinout compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 20 ns
- Wide power supply range: 2–6V
- Low quiescent current: 40 µA maximum (74HC Series)
- Low input current: 1 µA maximum
- Fanout of 10 LS-TTL loads

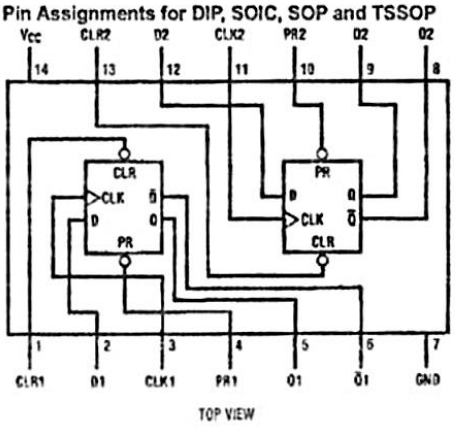
Ordering Code:

Order Number	Package Number	Package Description
MM74HC74AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC74AMX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC74ASJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC74AMTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC74AMTCX_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC74AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



TOP VIEW

Truth Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q0	$\overline{Q}$ 0

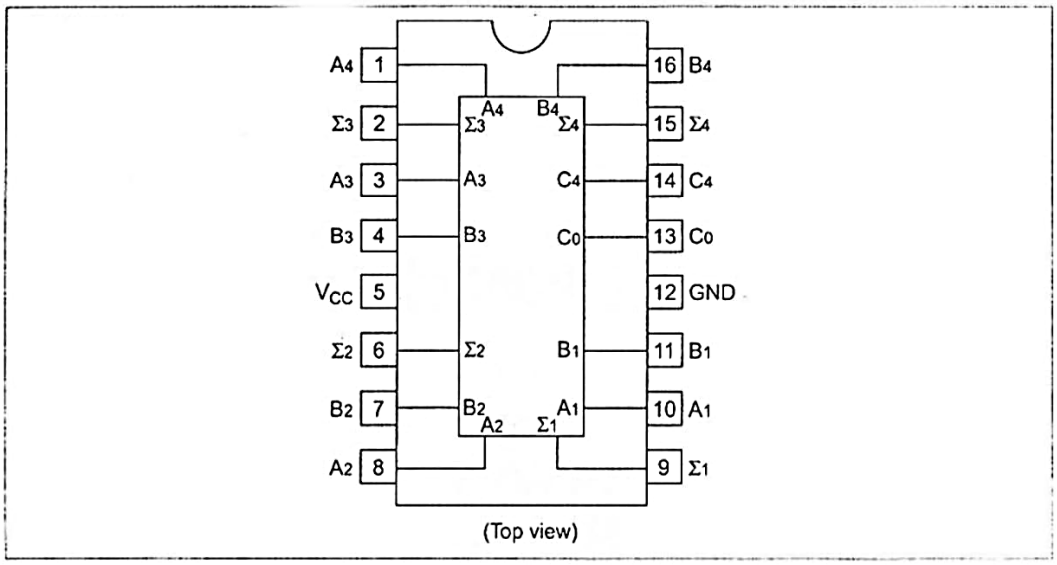
Note: Q0 the level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (HIGH) level.

© 2005 Fairchild Semiconductor Corporation

HD74HC83

Pin Arrangement



(Top view)

Inputs				Outputs					
				When C_0 = L/When C_2 = L			When C_0 = H/When C_2 = H		
A_1/A_3	B_1/B_3	A_2/A_4	B_2/B_4	Σ_1/Σ_3	Σ_2/Σ_4	C_2/C_4	Σ_1/Σ_3	Σ_2/Σ_4	C_2/C_4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

H : High level

L : Low level

X : Irrelevant

Note: Input conditions at A_1, B_1, A_2, B_2 and C_0 are used to determine outputs Σ_1 and Σ_2 and the value of the internal carry C_2.

The value at C_2, A_3, B_3, A_4 and B_4 are than used to determine outputs Σ_3, Σ_4 and C_4

SN5485, SN54LS85, SN54S85
SN7485, SN74LS85, SN74S85
4-BIT MAGNITUDE COMPARATORS

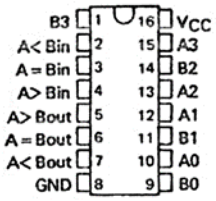
SDLS123 – MARCH 1974 – REVISED MARCH 1988

TYPE	TYPICAL POWER DISSIPATION	TYPICAL DELAY (4-BIT WORDS)
'85	275 mW	23 ns
'LS85	52 mW	24 ns
'S85	365 mW	11 ns

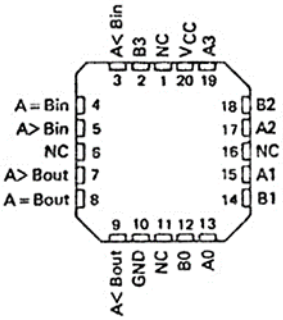
description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding A > B, A < B, and A = B inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the A = B input. The cascading paths of the '85, 'LS85, and 'S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

SN5485, SN54LS85, SN54S85 . . . J OR W PACKAGE
SN7485 . . . N PACKAGE
SN74LS85, SN74S85 . . . D OR N PACKAGE
(TOP VIEW)



SN54LS85, SN54S85 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

FUNCTION TABLE

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B2	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A2 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1988, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

FAIRCHILD SEMICONDUCTOR™

September 1983
Revised January 2005

MM74HC86
Quad 2-Input Exclusive OR Gate

General Description

The MM74HC86 EXCLUSIVE OR gate utilizes advanced silicon-gate CMOS technology to achieve operating speeds similar to equivalent LS-TTL gates while maintaining the low power consumption and high noise immunity characteristic of standard CMOS integrated circuits. These gates are fully buffered and have a fanout of 10 LS-TTL loads. The 74HC logic family is functionally as well as pin out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 9 ns
- Wide operating voltage range: 2–6V
- Low input current: 1 μA maximum
- Low quiescent current: 20 μA maximum (74 Series)
- Output drive capability: 10 LS-TTL loads

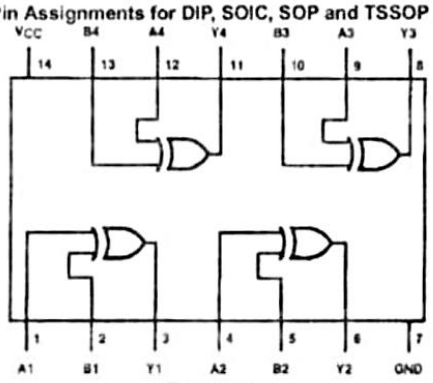
Ordering Code:

Order Number	Package Number	Package Description
MM74HC86M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC86MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC86SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC86MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC86N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC86NX_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Truth Table

Inputs		Outputs
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

$Y = A \oplus B = \overline{A}B + A\overline{B}$

© 2005 Fairchild Semiconductor Corporation DS005305 www.fairchildsemi.com

SN5490A, SN5492A, SN5493A, SN54LS90, SN54LS92, SN54LS93
SN7490A, SN7492A, SN7493A, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE AND BINARY COUNTERS

SDLS940A – MARCH 1974 – REVISED MARCH 1988

'90A, 'LS90 . . . Decade Counters

'92A, 'LS92 . . . Divide By-Twelve Counters

'93A, 'LS93 . . . 4-Bit Binary Counters

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'92A, '93A	130 mW
'LS90, 'LS92, 'LS93	45 mW

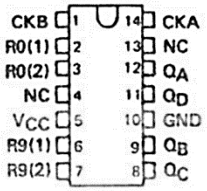
description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A and 'LS90, divide-by-six for the '92A and 'LS92, and the divide-by-eight for the '93A and 'LS93.

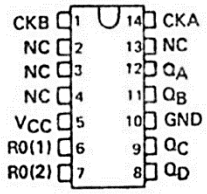
All of these counters have a gated zero reset and the '90A and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the CKB input is connected to the Q_A output. The input count pulses are applied to CKA input and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A or 'LS90 counters by connecting the Q_D output to the CKA input and applying the input count to the CKB input which gives a divide-by-ten square wave at output Q_A.

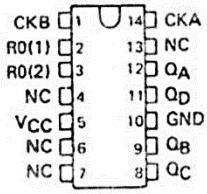
SN5490A, SN54LS90 . . . J OR W PACKAGE
SN7490A . . . N PACKAGE
SN74LS90 . . . D OR N PACKAGE
(TOP VIEW)



SN5492A, SN54LS92 . . . J OR W PACKAGE
SN7492A . . . N PACKAGE
SN74LS92 . . . D OR N PACKAGE
(TOP VIEW)



SN5493A, SN54LS93 . . . J OR W PACKAGE
SN7493 . . . N PACKAGE
SN74LS93 . . . D OR N PACKAGE
(TOP VIEW)



PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1988, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5490A, SN5492A, SN5493A, SN54LS90, SN54LS92, SN54LS93
SN7490A, SN7492A, SN7493A, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE AND BINARY COUNTERS

SDLS940A – MARCH 1974 – REVISED MARCH 1988

'90A, 'LS90
BCD COUNT SEQUENCE
(See Note A)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'LS90
BI-QUINARY (5-2)
(See Note B)

COUNT	OUTPUT			
	Q_A	Q_D	Q_C	Q_B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'92A, 'LS92
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'90A, 'LS90
RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	$R_{9(1)}$	$R_{9(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'92A, 'LS92, '93A, 'LS93
RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
$R_{0(1)}$	$R_{0(2)}$	Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

'93A, 'LS93
COUNT SEQUENCE
(See Note C)

COUNT	OUTPUT			
	Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

NOTES: A. Output Q_A is connected to input CKB for BCD count.
B. Output Q_D is connected to input CKA for bi-quinary count.
C. Output Q_A is connected to input CKB.
D. H = high level, L = low level, X = irrelevant

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54107, SN54LS107A, SN74107, SN74LS107A
DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS036 – DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

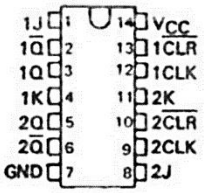
description

The '107 contain two independent J-K flip-flops with individual J-K, clock, and direct clear inputs. The '107 is a positive pulse-triggered flip-flop. The J-K input data is loaded into the master while the clock is high and transferred to the slave and the outputs on the high-to-low clock transistion. For these devices the J and K inputs must be stable while the clock is high.

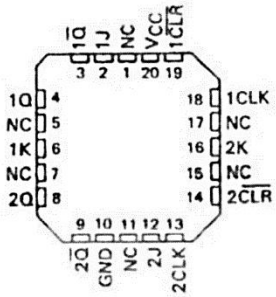
The 'LS107A contain two independent negative-edge-triggered flip-flops. The J and K inputs must be stable prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the $\overline{Q}$ output high.

The SN54107 and the SN54LS107A are characterized for operation over the full military temperature range of −55°C to 125°C. The SN74107 and the SN74LS107A are characterized for operation from 0°C to 70°C.

SN54107, SN54LS107A . . . J PACKAGE
SN74107 . . . N PACKAGE
SN74LS107A . . . D OR N PACKAGE
(TOP VIEW)



SN54LS107A . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

'107
FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	⊓	L	L	Q_0	$\overline{Q}_0$
H	⊓	H	L	H	L
H	⊓	L	H	L	H
H	⊓	H	H	TOGGLE	

'LS107A
FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{CLR}$	CLK	J	K	Q	$\overline{Q}$
L	X	X	X	L	H
H	↓	L	L	Q_0	$\overline{Q}_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	TOGGLE	
H	H	X	X	Q_0	$\overline{Q}_0$

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1988, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 15	$1\overline{E}$, $2\overline{E}$	output enable inputs (active LOW)
14, 2	S_0, S_1	common data select inputs
6, 5, 4, 3	$1I_0$ to $1I_3$	data inputs from source 1
7	1Y	multiplexer output from source 1
8	GND	ground (0 V)
9	2Y	multiplexer output from source 2
10, 11, 12, 13	$2I_0$ to $2I_3$	data inputs from source 2
16	V_{CC}	positive supply voltage

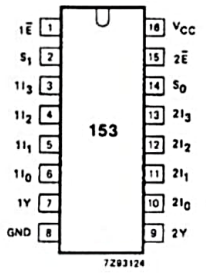


Fig.1 Pin configuration.

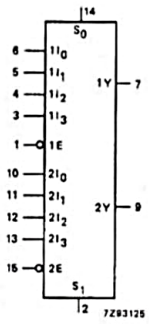


Fig.2 Logic symbol.

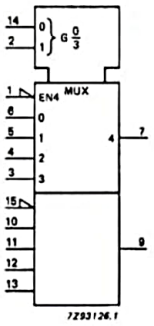


Fig.3 IEC logic symbol.

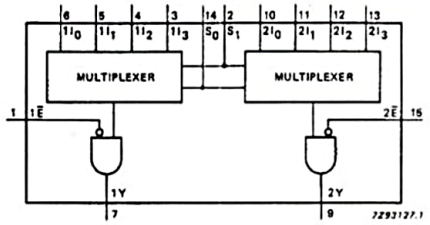


Fig.4 Functional diagram.

FUNCTION TABLE

SELECT INPUTS		DATA INPUTS				OUTPUT ENABLE	OUTPUT
S_0	S_1	nI_0	nI_1	nI_2	nI_3	$n\bar{E}$	nY
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
H	L	X	L	X	X	L	L
H	L	X	H	X	X	L	H
L	H	X	X	L	X	L	L
L	H	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Note

1. H = HIGH voltage level
   L = LOW voltage level
   X = don't care

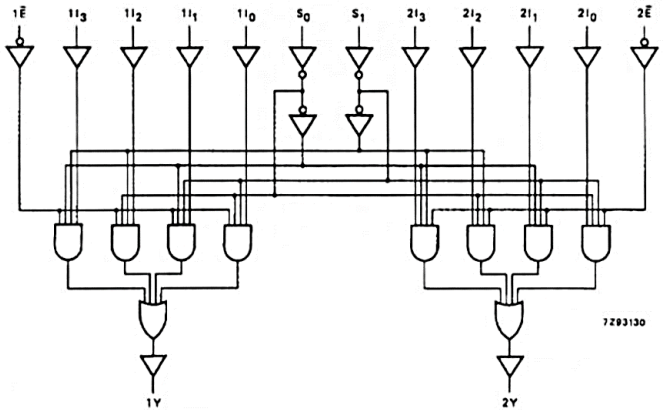


Fig.5 Logic diagram.

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q_0 to Q_3	flip-flop outputs
4	$\overline{CE}$	count enable input (active LOW)
5	$\overline{U}$/D	up/down input
8	GND	ground (0 V)
11	$\overline{PL}$	parallel load input (active LOW)
12	TC	terminal count output
13	$\overline{RC}$	ripple clock output (active LOW)
14	CP	clock input (LOW-to-HIGH, edge-triggered)
15, 1, 10, 9	D_0 to D_3	data inputs
16	V_{CC}	positive supply voltage

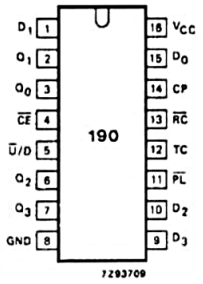


Fig.1 Pin configuration.

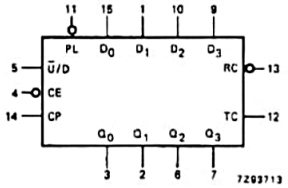


Fig.2 Logic symbol.

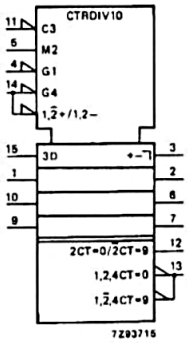


Fig.3 IEC logic symbol.

Presettable synchronous BCD decade up/down counter

74HC/HCT190

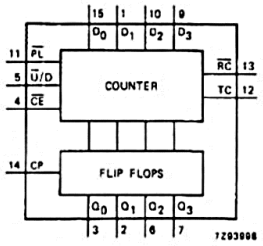


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS
	$\overline{PL}$	U/D	$\overline{CE}$	CP	D_n	Q_n
parallel load	L	X	X	X	L	L
	L	X	X	X	H	H
count up	H	L	I	↑	X	count up
count down	H	H	I	↑	X	count down
hold (do nothing)	H	X	H	X	X	no change

TC AND RC FUNCTION TABLE

INPUTS			TERMINAL COUNT STATE				OUTPUTS	
U/D	$\overline{CE}$	CP	Q_0	Q_1	Q_2	Q_3	TC	$\overline{RC}$
H	H	X	H	X	X	H	L	H
L	H	X	H	X	X	H	H	H
L	L	⊓⊔	H	X	X	H	⌐	⊓⊔
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L	⊓⊔	L	L	L	L	⌐	⊓⊔

Notes

1. H = HIGH voltage level
   L = LOW voltage level
   I = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
   X = don't care
   ↑ = LOW-to-HIGH CP transition

   ⊓⊔ = one LOW level pulse
   ⌐ = TC goes LOW on a LOW-to-HIGH CP transition

December 1990

Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q_0 to Q_3	flip-flop outputs
4	$\overline{CE}$	count enable input (active LOW)
5	$\overline{U}$/D	up/down input
8	GND	ground (0 V)
11	$\overline{PL}$	parallel load input (active LOW)
12	TC	terminal count output
13	$\overline{RC}$	ripple clock output (active LOW)
14	CP	clock input (LOW-to-HIGH, edge triggered)
15, 1, 10, 9	D_0 to D_3	data inputs
16	V_{CC}	positive supply voltage

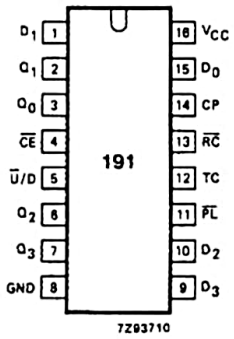


Fig.1 Pin configuration.

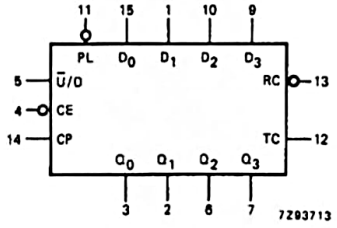


Fig.2 Logic symbol.

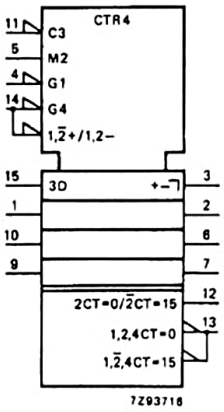


Fig.3 IEC logic symbol.

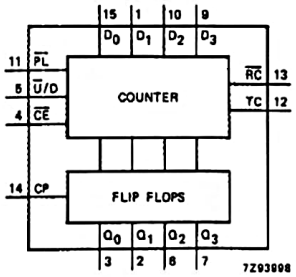


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS
	$\overline{PL}$	$\overline{U}/D$	$\overline{CE}$	CP	D_n	Q_n
parallel load	L	X	X	X	L	L
	L	X	X	X	H	H
count up	H	L	I	↑	X	count up
count down	H	H	I	↑	X	count down
hold (do nothing)	H	X	H	X	X	no change

TC AND RC FUNCTION TABLE

INPUTS			TERMINAL COUNT STATE				OUTPUTS	
$\overline{U}/D$	$\overline{CE}$	CP	Q_0	Q_1	Q_2	Q_3	TC	$\overline{RC}$
H	H	X	H	H	H	H	L	H
L	H	X	H	H	H	H	H	H
L	L	⊓⊔	H	H	H	H	⊓	⊓⊔
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L	⊓⊔	L	L	L	L	⊓	⊓⊔

Notes

1. H = HIGH voltage level
   L = LOW voltage level
   I = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
   X = don't care
   ↑ = LOW-to-HIGH CP transition
   ⊓⊔ = one LOW level pulse
   ⊓ = TC goes LOW on a LOW-to-HIGH CP transition

December 1990

FAIRCHILD
SEMICONDUCTOR IM

October 1987
Revised March 2002

CD4001BC/CD4011BC
Quad 2-Input NOR Buffered B Series Gate • Quad 2-Input NAND Buffered B Series Gate

General Description

The CD4001BC and CD4011BC quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to V_{DD} and V_{SS}.

Features

- Low power TTL:
  Fan out of 2 driving 74L compatibility: or 1 driving 74LS
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 µA at 15V over full temperature range

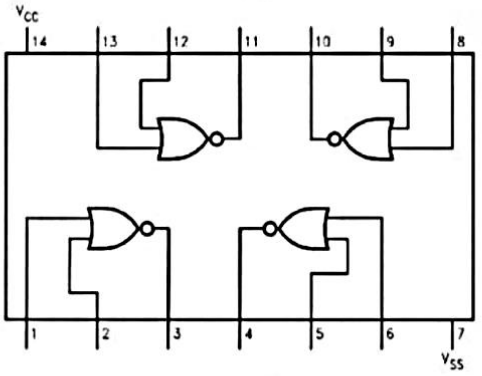
Ordering Code:

Order Number	Package Number	Package Description
CD4001BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4001BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4001BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4011BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4011BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

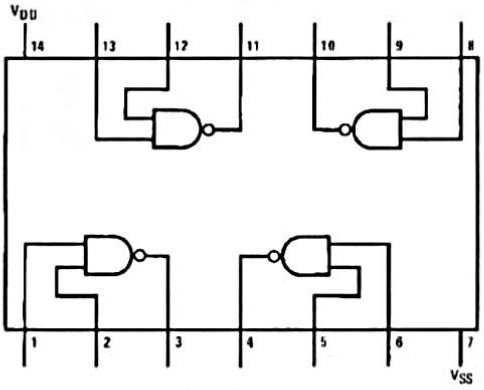
Connection Diagrams

Pin Assignments for DIP, SOIC and SOP
CD4001BC



Top View

Pin Assignments for DIP and SOIC
CD4011BC



Top View

CD4001BC/CD4011BC Quad 2-Input NOR Buffered B Series Gate • Quad 2-Input NAND Buffered B Series Gate

© 2002 Fairchild Semiconductor Corporation DS005939 www.fairchildsemi.com

FAIRCHILD SEMICONDUCTOR™

October 1987
Revised January 2004

CD4511BC
BCD-to-7 Segment Latch/Decoder/Driver

General Description

The CD4511BC BCD-to-seven segment latch/decoder/driver is constructed with complementary MOS (CMOS) enhancement mode devices and NPN bipolar output drivers in a single monolithic structure. The circuit provides the functions of a 4-bit storage latch, an 8421 BCD-to-seven segment decoder, and an output drive capability. Lamp test (LT), blanking (BI), and latch enable (LE) inputs are used to test the display, to turn-off or pulse modulate the brightness of the display, and to store a BCD code, respectively. It can be used with seven-segment light emitting diodes (LED), incandescent, fluorescent, gas discharge, or liquid crystal readouts either directly or indirectly.

Applications include instrument (e.g., counter, DVM, etc.) display driver, computer/calculator display driver, cockpit display driver, and various clock, watch, and timer uses.

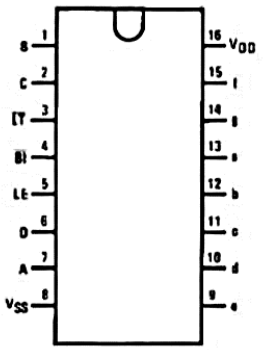
Features

- Low logic circuit power dissipation
- High current sourcing outputs (up to 25 mA)
- Latch storage of code
- Blanking input
- Lamp test provision
- Readout blanking on all illegal input combinations
- Lamp intensity modulation capability
- Time share (multiplexing) facility
- Equivalent to Motorola MC14511

Ordering Code:

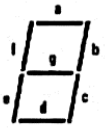
Order Number	Package Number	Package Description
CD4511BCWM	M16B	16-Lead Small Outline Intergrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
CD4511BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Connection Diagrams



Top View

Segment Identification



© 2004 Fairchild Semiconductor Corporation DS005991

CD4511BC

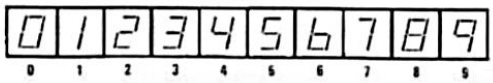
Truth Table

Inputs							Outputs							
LE	$\overline{BI}$	$\overline{LT}$	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	B
X	0	1	X	X	X	X	0	0	0	0	0	0	0	
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	
0	1	1	1	0	1	1	0	0	0	0	0	0	0	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	
0	1	1	1	1	0	1	0	0	0	0	0	0	0	
0	1	1	1	1	1	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	1	0	0	0	0	0	0	0	
1	1	1	X	X	X	X								

X = Don't Care

*Depends upon the BCD code applied during the 0 to 1 transition of LE.

Display



www.fairchildsemi.com

FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised March 2002

CD4001BC/CD4011BC
Quad 2-Input NOR Buffered B Series Gate • Quad 2-Input NAND Buffered B Series Gate

General Description

The CD4001BC and CD4011BC quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to V_{DD} and V_{SS}.

Features

- Low power TTL:
  Fan out of 2 driving 74L compatibility: or 1 driving 74LS
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 µA at 15V over full temperature range

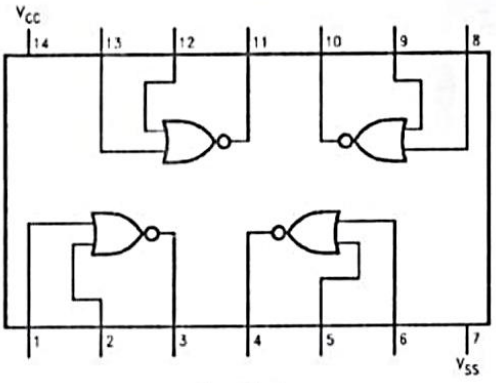
Ordering Code:

Order Number	Package Number	Package Description
CD4001BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4001BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4001BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4011BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4011BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

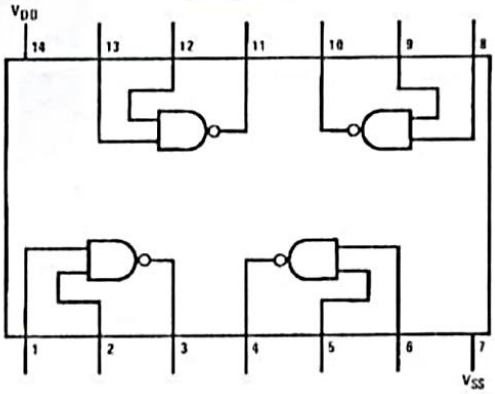
Connection Diagrams

Pin Assignments for DIP, SOIC and SOP
CD4001BC



Top View

Pin Assignments for DIP and SOIC
CD4011BC



Top View

© 2002 Fairchild Semiconductor Corporation DS005939 www.fairchildsemi.com

CD4001BC/CD4011BC Quad 2-Input NOR Buffered B Series Gate • Quad 2-Input NAND Buffered B Series Gate