

وزارت علوم، تحقیقات و فناوری



دانشگاه صنعتی سجاد
نیروی انسانی

دانشکده‌ی مهندسی برق و مهندسی پزشکی

دانشگاه صنعتی سجاد

دستورکار آزمایشگاه مدارهای منطقی

تهیه و تنظیم: مهندس نوید ایزدخواستی

زیر نظر: دکتر حمیدرضا رضایی ده‌سرخ

تابستان ۱۳۹۴

فهرست مطالب

صفحه

مقدمه.....	۲
آزمایش اول: مدارهای مجتمع و دروازه‌های منطقی.....	۵
آزمایش دوم: طراحی دروازه‌ها و مدارهای منطقی به کمک دروازه NAND.....	۱۰
آزمایش سوم: مدارات ترکیبی.....	۱۲
آزمایش چهارم: جمع کننده‌ها.....	۱۳
آزمایش پنجم: بیت توازن، کد انعکاسی، مقایسه کننده‌ها.....	۱۵
آزمایش ششم: مدارهای دیکدر، انکدر، مالتی پلکسر و دی مالتی پلکسر.....	۱۷
آزمایش هفتم: نمایشگر هفت‌قسمتی (7-Segment).....	۲۰
آزمایش هشتم: مدارهای ترتیبی.....	۲۳
آزمایش نهم: شمارنده‌ها.....	۲۶
آزمایش دهم: ثبات‌های انتقالی.....	۳۰
اطلاعات مربوط به ICهای مورد استفاده در آزمایشگاه.....	۳۲

مقدمه

مدارهای منطقی در طراحی و ساخت کلیه کامپیوترهای امروزی و سیستم‌های دیجیتال به عنوان مدارهای اساسی و پایه به کار برده می‌شوند.

مدارهای منطقی به دو دسته ترکیبی و ترتیبی تقسیم می‌گردند. یک مدار ترکیبی متشکل از تعدادی گیت منطقی است که خروجی آن‌ها در هر لحظه مستقیماً به وسیله ورودی‌های همان لحظه معین می‌شود و به ورودی‌های قبلی بستگی ندارد. این نوع مدار عمل پردازش اطلاعات خاصی را انجام می‌دهد که تمامی این اطلاعات به وسیله مجموعه‌ای از توابع بولی به فرم منطقی مشخص شده‌اند. یک مدار ترکیبی شامل متغیرهای ورودی، گیت‌های منطقی و متغیرهای خروجی است. گیت‌های منطقی سیگنال‌هایی را از ورودی دریافت کرده و سیگنال‌های دیگری را برای خروجی تهیه می‌کنند. این فرآیند اطلاعات دودویی ورودی را به اطلاعات مورد نیاز در خروجی تبدیل می‌کند. مدارهای ترکیبی شامل انواع مدارهای مجتمع، گیت‌ها، کد کننده‌ها، دیکدرها، مالتی پلکسرها، جمع کننده‌ها و می‌باشند. طراحی مدارهای ترکیبی با تعریف لفظی مسئله شروع شده و با دیاگرام منطقی مدار به مجموعه‌ای از توابع بولی که با استفاده از آن‌ها می‌توان به سادگی دیاگرام منطقی را به دست آورد، ختم می‌شود و شامل مراحل زیر است:

- تعریف مسئله
- تعیین تعداد ورودی‌های موجود و خروجی‌ها مورد نیاز
- نام‌گذاری ورودی‌ها و خروجی‌ها
- تشکیل جدول درستی که ارتباط لازم بین ورودی‌ها و خروجی‌ها را مشخص کند
- به دست آوردن تابع بولی ساده شده برای هر خروجی
- رسم دیاگرام منطقی

مدارهای ترتیبی علاوه بر گیت‌های منطقی از المان‌های حافظه (سلول دودویی) نیز استفاده می‌کنند. خروجی این مدارها تابعی از ورودی آن‌ها و حالت المان‌های حافظه است که المان‌های حافظه خود تابعی از ورودی‌های قبلی هستند. در نتیجه خروجی یک مدار ترتیبی نه تنها به ورودی‌های فعلی بلکه به ورودی‌های قبلی نیز بستگی دارد و عملکرد مدار باید به وسیله حالت داخلی آن و ترتیب زمانی وارد شدن ورودی مشخص گردد. مدارهای ترتیبی، اطلاعات دودویی را از ورودی‌ها دریافت می‌کنند و این ورودی‌ها به همراه حالت عناصر حافظه، یک مقدار دودویی را در پایانه‌های خروجی مشخص می‌نماید. آن‌ها همچنین مشخص می‌کنند که در چه وضعیتی عناصر حافظه تغییر حالت می‌دهند.

برای طراحی مدارهای ترتیبی باید مراحل زیر را انجام داد:

- با توجه به توصیف مسئله، جدول حالت را به دست آورید
- از تکنیک‌های کاهش حالت برای یافتن جدول حالت یک مدار با حداقل حالت استفاده کنید
- با تخصیص یک حالت، جداول حالت و جداول گذر خروجی را کنترل کنید
- وسایل حافظه و فلیپ فلاپ‌های مورد استفاده را مشخص کنید و نقشه‌های ترکیب فلیپ فلاپ‌ها را به دست آورید.
- همچنین نقشه‌های خروجی را تشکیل داده و معادلات منطقی خروجی را تعیین کنید.
- از نقشه‌های تحریک، معادله منطقی سوئیچینگ را به دست آورید

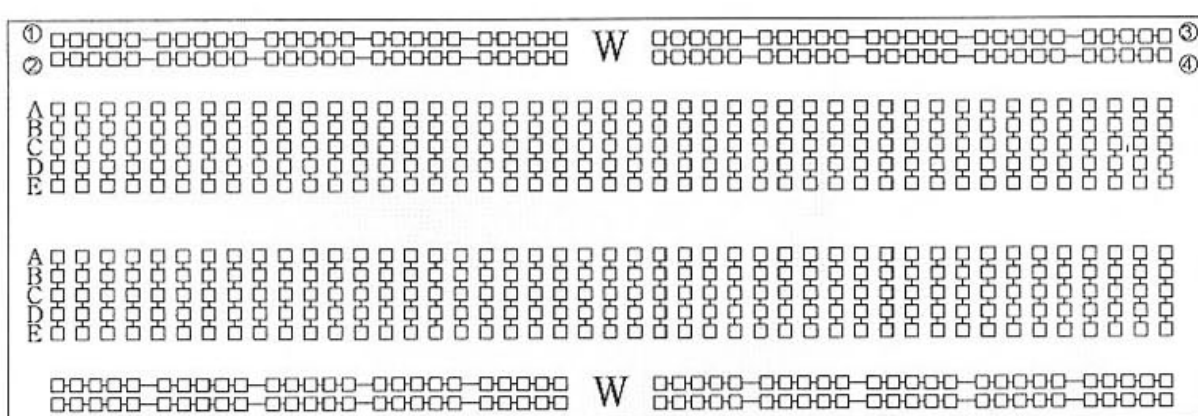
- نمودار منطقی را برای مدار ترتیبی با استفاده از معادلات منطقی و وسایل حافظه انتخابی ترسیم کنید

در درس سیستم‌های دیجیتال ۱، دانشجویان انواع مختلفی از مدارهای ترکیبی و ترتیبی را طراحی می‌کنند و با آن‌ها آشنا می‌شوند. در بحث آزمایشگاه مربوط به این درس سعی شده است تا دانشجویان تا حد زیادی مدارات طراحی شده را پیاده سازی کنند و به طور عملی نحوه کار این مدارات را بررسی کنند.

در این آزمایشگاه از وسایل زیر استفاده می‌شود:

برد بورد (Bread board):

برد بورد وسیله‌ای برای بستن سریع مدارهای مختلف الکترونیکی جریان و فرکانس پایین است و از آنجا که می‌توان به راحتی و به سرعت بسیاری از آی‌سی‌ها و قطعات مختلف الکترونیکی را روی آن سوار و ارتباط‌های لازم را با سیم و بدون لحیم کاری برقرار کرد، کاربرد وسیعی در آزمایشگاه‌ها و مراکز تحقیقاتی دارد. در بردبورد تعدادی از سوراخ‌ها از زیر به یکدیگر متصل می‌باشند. در شکل زیر اتصال‌های بردبورد آمده است:



قسمت‌های ۱، ۲، ۳ و ۴ به صورت افقی به هم متصل بوده و اتصال عمودی ندارند و به وسیله حرف W نوشته شده روی بردبورد قسمت ۱ و ۲ از قسمت ۳ و ۴ جدا می‌شوند. از قسمت افقی بیشتر برای تغذیه و زمین مدار استفاده می‌شود. حروف A, B, C, D و E به صورت عمودی به هم متصل بوده و اتصال افقی ندارند.

پروب منطقی (Logic Probe):

از این وسیله برای بررسی ولتاژ نقطه‌ای از مدار استفاده می‌شود به گونه‌ای که با قرار دادن پروب منطقی در نقطه‌ای از مدار، در صورت '1' بودن ولتاژ آن نقطه، چراغ پروب منطقی روشن می‌ماند و در صورت '0' بودن چراغ آن خاموش می‌شود.

منبع تغذیه:

مدارهایی که در این آزمایشگاه پیاده سازی می‌شوند با ولتاژ ثابت 5 V کار می‌کنند. به همین خاطر برای تامین ولتاژ مورد نیاز مدارها از دستگاهی (منبع تغذیه دابل) استفاده می‌شود که ولتاژ ثابت 5 V را تولید می‌کند و دارای دو پایه مثبت و منفی است که از پایه مثبت برای Vcc یا ولتاژ بالا و از پایه منفی به عنوان زمین (GND) مدار استفاده می‌شود.

سیگنال ژنراتور:

برای تولید کلاک و فرکانس‌های مورد نیاز از این دستگاه استفاده می‌شود که انواع سیگنال‌های سینوسی، مثلثی و مربعی و خروجی TTL را تولید نموده و می‌توان فرکانس مورد نظر را در یک محدوده فرکانسی از 0.1 هرتز تا یک مگاهرتز تنظیم نمود. در بخش طراحی و پیاده سازی مدارهای ترتیبی برای تولید کلاک از سیگنالی با فرکانس کم که توسط این دستگاه تولید می‌شود، استفاده می‌شود.

دانشجویان قبل از ورود به آزمایشگاه به نکات زیر توجه نمایند:

الف) نکات قبل از ورود به آزمایشگاه:

دستور کار را به طور کامل و دقیق مطالعه نموده تا از نقطه نظر تئوری ابهامی نداشته باشید. قبل از ورود به آزمایشگاه، تمرینات اولیه مربوط به هر آزمایش را به طور کامل انجام دهید. لازم است نتیجه طراحی را به صورت شکل سیم‌کشی یعنی به همان صورتی که قرار است روی صفحه آزمایش ساخته شود به همراه خود به آزمایشگاه بیاورید. شکل سیم‌کشی همان دیاگرام منطقی می‌باشد با این تفاوت که کلیه تراشه‌ها و پایه‌های آن شماره‌گذاری شده و تمام اتصالات در آن مشخص گردیده‌اند. شکل سیم‌کشی را همراه گزارش کار خود ضمیمه کرده و تحویل دهید.

ب) در هنگام آزمایش جهت مراقبت از تراشه‌های دیجیتال و جلوگیری از سوختن آن‌ها به نکات زیر توجه نمایید:

- خانواده TTL با منبع ولتاژ ثابت 5 V کار می‌کند، خانواده CMOS با منبع ولتاژ ۳ تا ۱۵ ولت و معمولاً ۵ ولت کار می‌کند.
- هیچ‌گاه خروجی تراشه را مستقیماً به زمین یا منبع ولتاژ وصل نکنید.
- هنگام استفاده از تراشه به شماره پایه‌ها توجه داشته باشید.
- LED را مستقیماً به خروجی TTL وصل نکنید، بلکه یک مقاومت حدود 200Ω باید با آن سری شود.
- هنگام قرار دادن و یا برداشتن تراشه روی صفحه آزمایش دقت کنید که پایه‌های آن خم یا شکسته نشوند.

ج) در محیط آزمایشگاه از روپوش سفید استفاده کنید.

آزمایش اول: مدارهای مجتمع و دروازه‌های منطقی

هدف آزمایش:

در این آزمایش دانشجویان با ساختار و تکنولوژی‌های مختلف مدارهای مجتمع و همچنین دروازه‌های منطقی آشنا می‌شوند و آن‌ها را بررسی می‌کنند.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش (Bread Board)، تراشه‌های 4011، 7408، 7404، 7400 و دیود نورانی.

تئوری آزمایش:

- آشنایی با مشخصات تراشه‌های مورد نیاز آزمایش و بررسی دروازه‌های منطقی AND، OR و NOT.
- مدارهای دیجیتال با مدارهای مجتمع ساخته می‌شوند. یک مدار مجتمع (IC)، یک کریستال کوچک نیمه‌هادی سیلیکون به نام تراشه (Chip) است که قطعات الکترونیکی لازم برای پیاده‌سازی گیت‌های دیجیتال را در خود دارد. تراشه در داخل یک محفظه پلاستیکی و یا سرامیکی جاسازی می‌شود و اتصالات آن با سیم‌های طلایی نازک به پایه‌های خارجی جوش داده می‌شود تا مدار مجتمع بوجود آید. تعداد پایه‌ها ممکن است از ۱۴ پایه در بسته‌های کوچک تا ۶۴ پایه و بیشتر در بسته‌های بزرگ تغییر کند. ICها را بر اساس پارامترهای مختلف دسته بندی می‌کنند.

دسته بندی ICها بر اساس تعداد گیت‌هایی که می‌تواند در یک تراشه جای گیرد:

- مدارهای مجتمع با مقیاس کوچک
- مدارهای مجتمع با مقیاس متوسط
- مدارهای مجتمع با مقیاس بزرگ
- مدارهای مجتمع با مقیاس بسیار بزرگ

دسته بندی ICها بر اساس تکنولوژی به کار رفته در ساخت آن:

- RTL
- DTL
- TTL
- ECL
- MOS
- CMOS

در زمان استفاده از خانواده ¹TTL توجه داشته باشید که برخی از انواع آن به قرار زیر است:

TTL استاندارد (سری 74)

TTL سرعت بالا (سری 74H)

TTL کم مصرف (سری 74L)

TTL شاتکی (سری 74S)

TTL شاتکی کم مصرف (سری 74LS)

TTL شاتکی کم مصرف پیشرفته (سری 74ALS)

مشخصه خانواده‌های منطقی دیجیتال معمولاً با تحلیل گیت مینا در هر خانواده با یکدیگر مقایسه می‌گردند. برای این کار باید پارامترهای برون دهی (fan-out)، توان مصرفی، تأخیر در انتشار و مصونیت در مقابل نویز را در نظر داشت.

با بررسی این پارامترها داریم:

CMOS	MOS	ECL	TTL						DTL	
			74 ALS	74LS	74S	74L	74H	74		
۲۵	۱۰۰ تا ۵۰	۲	۴	۹	۳	۳۳	۶	۱۰	۳۰	تاخیر در انتشار (ns)
۱۰ ^{nw}	۰/۲۵	۲۵	۱	۲	۲۰	۱	۲۲/۵	۱۰	۱۵	توان مصرفی هر دروازه (mw)
>۵۰	>۵۰	۲۵	۱۰	۱۰	۱۰	۱۰	۱۰	۱۰	۸	برون دهی (f.o)
عالی	عالی	متوسط	خوب	خوب	خوب	خوب	خوب	خوب	خوب	مصونیت در مقابل نویز

هر آی سی در یک بسته با پایه‌های خاص بسته‌بندی می‌شود. نحوه صحیح خواندن پایه‌های یک تراشه و نیز روش تشخیص اولین پایه آن و مشخصات دیگری که برای شناسایی و کار با تراشه لازم است، ابزارهای اولیه کار در آزمایشگاه مدارهای منطقی هستند.

چنانکه در شکل زیر نیز مشخص است در محل پایه ۱ آی سی علامت خاصی وجود دارد. از جمله مشخصاتی که بر روی تراشه حک می‌گردد، علامت کارخانه سازنده است که می‌تواند یک یا چند حرف و یا شکل باشد. نام تراشه نیز توسط شماره مشخص می‌شود. البته باید توجه داشت که روش شماره‌گذاری در شرکت‌های مختلف یکسان نبوده و در رابطه با شرکت‌های مختلف باید به برگه اطلاعات (data sheet) منتشر شده همان شرکت مراجعه نمود. اطلاعات دیگری که ممکن است بر روی تراشه مشاهده گردد شامل تاریخ ساخت تراشه (دو رقم برای سال و دو رقم برای هفته)، نام کشور سازنده و شماره انبار باشد.

¹ Transistor-transistor logic



M: سازنده تراشه

4021: شماره تراشه

Buffered CMOS: B

●: نشانه شروع شمارش پایه

Data Code: CP

1978: 78

24th week: 24

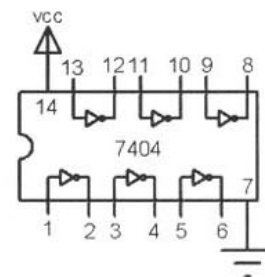
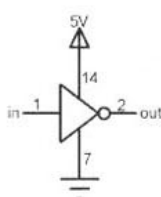
به هر آی سی شماره ای اختصاص می یابد که بر روی آن به منظور شناسایی چاپ شده است. تولیدکنندگان کتابچه هایی را چاپ نموده اند که حاوی توضیحات و کلیه اطلاعات مربوط به آی سی های تولید شده آن ها است. به عنوان مثال، ۶ دروازه NOT را داخل یک آی سی قرار داده اند و به آن شماره 7404 را اختصاص داده اند. اطلاعات مربوط به آی سی های استفاده شده در این آزمایشگاه در انتهای دستور کار ضمیمه شده است.

مراحل انجام آزمایش:

الف) در این آزمایش تراشه 7404 را که حاوی شش دروازه (NOT) می باشد را مورد آزمایش قرار می دهید. مراحل این آزمایش استثنا به تفصیل شرح داده می شود، اما در مورد آزمایش های دیگر مطالب خلاصه تر گفته خواهد شد.

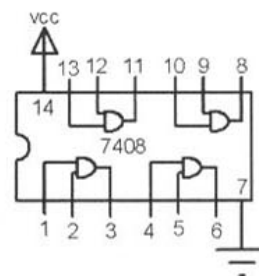
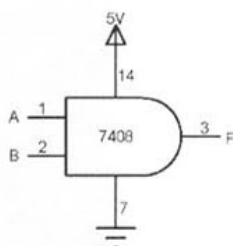
ابتدا تراشه 7404 را بر روی صفحه آزمایش قرار دهید و به ترتیب زیر آن را تغذیه نمایید. سر مثبت منبع تغذیه ۵ ولت را به یکی از سوراخ های بالاترین ردیف صفحه آزمایش متصل نمایید و سر منفی منبع تغذیه را به یکی از سوراخ های پایین ترین ردیف صفحه آزمایش متصل کنید. از این پس ردیف بالای صفحه آزمایش ردیف ۵ ولت و ردیف پایین، ردیف زمین نامیده خواهد شد. اکنون سر شماره ۷ تراشه 7404 را به وسیله سیم به ردیف زمین متصل نمایید. این کار با اتصال دادن یکی از سوراخ های ستون زیر سر شماره ۷ به ردیف زمین انجام می شود. پایه شماره ۱۴ تراشه 7404 را به وسیله سیم به ردیف ۵ ولت متصل نمایید. اکنون تراشه به طور صحیح تغذیه شده است. پایه شماره ۱ گیت NOT، به عنوان ورودی و پایه شماره ۲ به عنوان خروجی در نظر بگیرید. با اتصال دادن پایه شماره ۱ به ردیف زمین یا ردیف ۵ ولت، ولتاژ ورودی 0 V (سطح L) و یا 5 V (سطح H) به دست می آید. ولتاژ خروجی (پایه شماره ۲) توسط پروب منطقی (Logic Probe) مشخص می شود. با اعمال ورودی مطابق جدول زیر، قسمت خروجی جدول را کامل کنید.

ورودی	خروجی
L	
H	



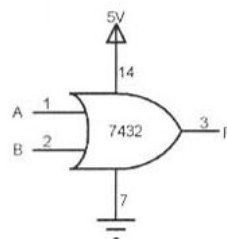
ب) یک تراشه 7408 (حاوی ۴ دروازه AND با دو ورودی) را روی صفحه آزمایش قرار دهید و آن را تغذیه نمایید (پایه‌های ۷ و ۱۴ را به ترتیب به ردیف‌های زمین و ۵ ولت متصل سازید). با استفاده از پایه‌های ۱ و ۲ دروازه AND به عنوان ورودی و پایه ۳ به عنوان خروجی، جدول زیر را کامل کنید.

A	B	خروجی
L	L	
L	H	
H	L	
H	H	
L	باز	
باز	L	
H	باز	
باز	باز	



ج) با استفاده از یک تراشه 7432 (شامل ۴ دروازه OR با دو ورودی) با پایه‌های ۱ و ۲ به عنوان ورودی و پایه ۳ به عنوان خروجی جدول زیر را کامل کنید.

A	B	خروجی
L	L	
L	H	
H	L	
H	H	
L	باز	
باز	L	
H	باز	
باز	باز	



د) آزمایش فوق را با تراشه 4011 (از خانواده CMOS) تکرار کنید، نتیجه را ثبت کرده و با نتایج قبلی مقایسه کنید.

ه) حالت خروجی یک مدار را می‌توان به کمک LED (دیود نورانی) مشاهده نمود. برای این کار خروجی مدار را توسط یک مقاومت به LED متصل کنید (برای این کار خروجی را توسط یک مقاومت به آند LED «معمولاً پایه بلندتر» وصل و کاتد آن «معمولاً پایه کوتاه‌تر» را به زمین متصل کنید). مقاومت به منظور محدود کردن شدت جریان و جلوگیری از سوختن دیود و تراشه به کار رفته است و مقدار آن حدود ۱۰۰ تا ۳۰۰ اهم می‌باشد. حال خروجی آزمایش قبلی را با LED مشاهده نمایید.

پرسش‌ها:

- (۱) با توجه به نتایج آزمایش‌ها، اگر پایه ورودی یک دروازه از تراشه‌های TTL آزاد بماند، آن ورودی معادل چه ولتاژی (L یا H) عمل می‌نماید؟
- (۲) با توجه به این واقعیت که سر ورودی نبایستی باز بماند، سرهای مصرف نشده را باید به چه سطح ولتاژی متصل نماییم؟ این سؤال را در مورد دروازه‌های NAND و یا NOR پاسخ دهید.

آزمایش دوم: طراحی دروازه‌ها و مدارهای منطقی به کمک دروازه NAND

هدف آزمایش:

در این آزمایش دانشجو با طراحی دروازه‌های AND، NOT و OR و ترکیبات آن‌ها به کمک دروازه NAND دو ورودی آشنا می‌شود.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، تراشه 7400، دیود نورانی

تئوری آزمایش:

مدارهای دیجیتال اغلب به‌جای اینکه با گیت‌های AND و OR ساخته شوند با گیت‌های NAND و NOR ساخته می‌شوند. ساختن گیت‌های NAND و NOR نسبت به گیت‌های AND و OR ساده‌تر بوده و به عنوان گیت‌های پایه در تمام خانواده‌های آی‌سی‌های منطقی به کار می‌روند. به دلیل مزیت گیت‌های NAND و NOR در طراحی مدارهای دیجیتال، اصول و قواعدی برای تبدیل توابع بولی بیان شده بر حسب AND، OR و NOT به دیاگرام منطقی NAND و NOR معادل به وجود آمده است. قاعده به دست آوردن دیاگرام منطقی NAND از یک تابع بولی به شرح زیر است:

(۱) تابع را ساده کرده و آن را به فرم جمع حاصل ضرب‌ها بنویسید.

(۲) برای هر جمله ضرب موجود در تابع که حداقل دارای دو متغیر است یک گیت NAND بکشید. ورودی هر گیت NAND متغیرهای آن جمله هستند. این مجموعه، گیت‌های طبقه اول را تشکیل می‌دهند.

(۳) در طبقه دوم یک گیت NAND با ورودی‌هایی که از خروجی‌های طبقه اول می‌آیند بکشید.

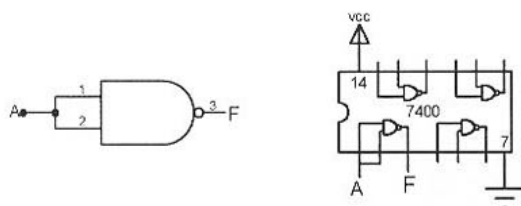
(۴) یک جمله تک متغیری در طبقه اول نیازمند یک معکوس کننده است.

تابع NOR دوگان تابع NAND است. به همین دلیل همه روال‌ها و قواعد منطقی NOR دوگان روال‌ها و قواعد منطقی NAND می‌باشد.

مراحل انجام آزمایش:

الف) مدارهای ۱ تا ۴ را که در جدول زیر مشخص شده‌اند را بسته و به ازای ترکیبات مختلف ورودی، آن‌ها را آزمایش نموده و جدول مربوطه را پر کنید و با توجه به جداول به دست آمده مشخص کنید که هر مدار معادل چه دروازه منطقی عمل می‌کند. خروجی هر مدار را به کمک LED مشاهده نمایید.

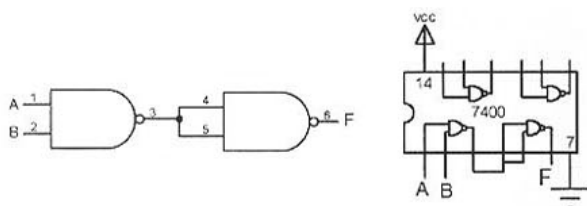
۱)



ورودی	F
L	
H	

→ دروازه =

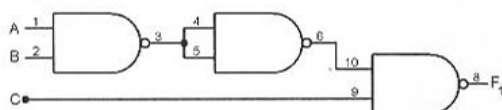
۲)



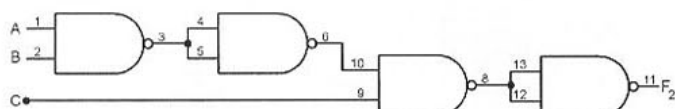
A	B	F
L	L	
L	H	
H	L	
H	H	

→ دروازه =

۳) دروازه =



۴) دروازه =



A	B	C	F ₁	F ₂
L	L	L		
L	L	H		
L	H	L		
L	H	H		
H	L	L		
H	L	H		
H	H	L		
H	H	H		

ب) با استفاده از فقط دروازه‌های NAND تابع دروازه $A \oplus B$ را پیاده سازی کنید و صحت جدول درستی آن را بررسی کنید.

ج) تابع زیر را فقط با استفاده از دروازه NAND پیاده سازی کنید و جدول درستی مدار را به ازای ورودی‌های A، B، C و D بررسی کنید.

$$F(A, B, C, D) = \sum (0, 1, 4, 5, 8, 9, 10, 12, 13, 14)$$

پرسش‌ها:

۱) روال طراحی به کمک دروازه NAND را به طور کامل توضیح دهید.

آزمایش سوم: مدارات ترکیبی

هدف آزمایش:

در این آزمایش دانشجو با طراحی مدارهای ترکیبی آشنا می‌شود.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، دیود نورانی، تراشه 7408 و 7432.

تئوری آزمایش:

روال طراحی مدارهای ترکیبی در بخش مقدمه دستور کار آمده است.

تمرینات اولیه:

۱) برای رأی‌گیری در یک هیئت ۴ نفره (A, B, C و D) هر شخص رأی خود را توسط یک کلید صادر می‌کند. اگر رأی نفر A معادل دو رأی باشد، مداری طراحی کنید که هرگاه اکثریت آرا حاصل شد یک چراغ روشن شود (چراغ‌ها با یک منطقی روشن و با صفر منطقی خاموش می‌باشند).

- جدول درستی مدار را به دست آورید.

- تابع خروجی را ساده کنید.

مراحل انجام آزمایش:

الف) با استفاده از آی‌سی‌های 7408 و 7432 مدار طراحی شده در تمرین ۱ را بر روی صفحه آزمایش پیاده سازی کنید و صحت جدول درستی آن را بررسی کنید. خروجی را به کمک LED مشاهده کنید.

آزمایش چهارم: جمع کننده‌ها

هدف آزمایش:

طراحی مدارات جمع کننده کامل و جمع کننده چهار بیتی و آشنایی با تراشه جمع کننده چهار بیتی 7483.

وسایل لازم:

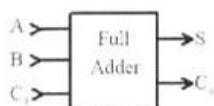
منبع تغذیه ۵ ولت، صفحه آزمایش، دیود نورانی، تراشه‌های 7486 و 7483.

تئوری آزمایش:

کامپیوترهای دیجیتال اعمال پردازش اطلاعات گوناگونی را انجام می‌دهند که از میان آن‌ها اعمال مختلف حساب، اعمال اصلی و اساسی به شمار می‌روند و بدون شک اساسی‌ترین عمل حساب، جمع دو رقم دودویی است. این جمع ساده از چهار عمل مقدماتی $0+0=0$ و $0+1=1$ و $1+0=1$ و $1+1=10$ تشکیل می‌شود که حاصل جمع سه عدد اول، عددی یک رقمی است و آخرین عمل، حاصلی دو رقمی دارد که رقم مرتبه بالای این حاصل جمع را رقم نقلی (Carry) می‌نامند. مداری که جمع دو رقم دودویی ورودی را انجام داده و حاصل جمع و رقم نقلی را تولید می‌کند، نیم جمع کننده (Half Adder) و مداری که جمع سه رقم دودویی (دو رقم دودویی و رقم نقلی حاصل از ستون قبل) را انجام داده و حاصل جمع و رقم نقلی را تولید می‌کند، تمام جمع کننده (Full Adder) نام دارد.

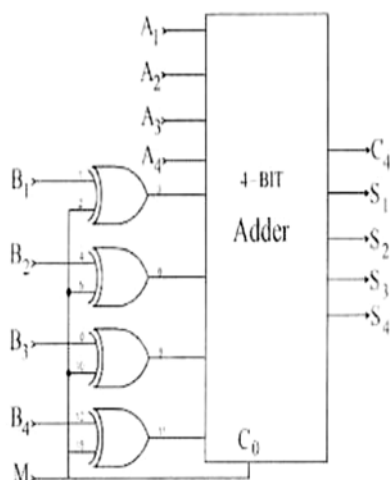
تمرینات اولیه:

- با استفاده از تراشه‌های 7400 (حاوی چهار دروازه NAND دو ورودی) و 7486 (حاوی چهار دروازه XOR دو ورودی) یک تمام جمع کننده (شکل زیر) طراحی نمایید.



$$(C_o S)_2 = A + B + C_i$$

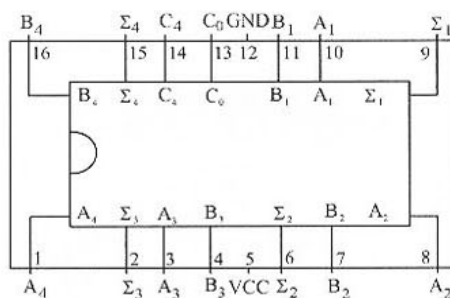
- با استفاده از بند ۱، یک جمع کننده ۴ بیتی طراحی کنید.



- نحوه عملکرد مدار زیر را بررسی کنید.

مراحل انجام آزمایش:

الف) تراشه 7483 را که یک جمع کننده چهار بیتی است مورد آزمایش قرار داده و جدول زیر را تکمیل کنید.



C_0	A				B				C_4	$\Sigma(s)$			
	A_4	A_3	A_2	A_1	B_4	B_3	B_2	B_1		Σ_4	Σ_3	Σ_2	Σ_1
0	0	0	0	0	0	0	0	0					
0	0	0	0	1	0	0	0	1					
0	0	0	1	1	0	0	0	1					
1	0	1	0	0	0	1	0	0					
1	0	1	1	1	1	0	0	0					
0	1	1	1	1	1	1	1	1					
1	1	1	1	1	1	1	1	1					
1	0	1	1	0	1	0	1	0					

ب) مداری که در قسمت تمرین ۳ آمده است را بسته و مورد آزمایش قرار دهید و به ازای چند ترکیب ورودی، جدول درستی را بنویسید.

پرسش‌ها:

۱) با استفاده از تراشه 7483 مداری برای جمع کردن دو عدد ۸ بیتی طراحی نمایید. طرح خود را دقیقاً رسم کنید.

آزمایش پنجم: بیت توازن، کد انعکاسی، مقایسه کننده‌ها.

هدف آزمایش:

در این آزمایش، دانشجویان با مدارات تولیدکننده بیت توازن، مبدل کد باینری به کد انعکاسی و مقایسه کننده‌ها آشنا می‌شوند و آن‌ها را طراحی و بررسی می‌کنند.

وسایل لازم:

منبع تغذیه ۵ ولت، صفحه آزمایش، دیود نورانی، تراشه‌های 7404، 7404، 7485 و 7486.

تئوری آزمایش:

کدهای آشکارساز خطا:

اطلاعات دودویی ممکن است از یک مکان به مکان دیگر به کمک وسایل ارتباطی مثل سیم‌ها یا موج‌های رادیویی انتقال یابند. پارازیت‌های خارجی که وارد وسایل فیزیکی می‌شوند می‌توانند ارزش بیت‌ها را از '0' به '1' و یا برعکس تغییر دهند. هدف از یک کد آشکارسازی خطا، یافتن خطاهایی از این قبیل است. معمول‌ترین روش خطایابی استفاده از بیت توازن است. یک بیت توازن بیتی است که به پیام اضافه می‌شود و سبب می‌شود که تعداد کل '1'ها در پیام عددی زوج یا فرد گردد. بیت توازن در یافتن خطاها به هنگام انتقال اطلاعات بسیار مفید است.

کد انعکاسی (کد گری):

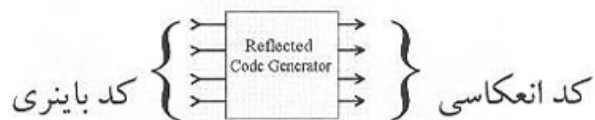
این کد دارای خاصیت انعکاسی است. کلمات کد برای هر دو عدد متوالی تنها در یک بیت با هم اختلاف دارند. برای تبدیل عدد دودویی به معادل گری داریم:

$$\begin{cases} (b_n b_{n-1} \dots b_1)_2 = (g_n g_{n-1} \dots g_1)_{gray} \\ g_n = b_n, \quad g_k = b_k \oplus b_{k+1}, \quad k = 1, 2, \dots, n-1 \end{cases}$$

تمرینات اولیه:

(۱) مدار تولیدکننده رقم توازن زوج را برای کلمه‌های ۴ بیتی طراحی نمایید. ورودی مدار یک عدد باینری ۴ بیتی بوده و خروجی بیت پنجم است، به طوری که پنج بیت دارای توازن زوج باشد.

(۲) یک مدار مبدل باینری به انعکاسی طراحی کنید (شکل زیر). ورودی این مدار یک عدد باینری چهار بیتی بوده و خروجی آن بایستی کد انعکاسی متناظر با ورودی باشد.



۳) یک مقایسه کننده سه بیتی طراحی نمایید. مدار دارای دو ورودی سه بیتی A و B و سه خروجی G و E و L است، بطوریکه اگر $A > B$ باشد $G=1$ و اگر $A=B$ باشد $E=1$ و اگر $A < B$ باشد $L=1$ می باشد. در هر حالت خروجی های دیگر صفر است.

۴) مشخصات کامل تراشه 7485 که یک مقایسه کننده ۴ بیتی است را بررسی نمایید.

۵) با استفاده از تراشه های 7485 یک مقایسه کننده هشت بیتی طراحی نمایید.

مراحل انجام آزمایش:

الف) با استفاده از آی سی 7486 مدار تولیدکننده رقم توازن زوج که در تمرین ۱ طراحی کرده اید را بسته و صحت عملکرد آن را ملاحظه کنید. خروجی توسط دیود نورانی مشاهده شود.

ب) مدار مبدل باینری به انعکاسی را توسط آی سی 7486 بسته و برای کلیه حالات ورودی، درستی عملکرد مدار را تحقیق نموده و نتایج را در جدولی یادداشت کنید.

ج) با استفاده از آی سی های 7404 و 7408 و 7486 مدار مقایسه کننده یک بیتی را بسته و آن را آزمایش نمایید.

پرسش ها:

۱) با توجه به نتایج به دست آمده بیت توازن زوج را برای کلمه های هشت بیتی طراحی کنید.

۲) اگر بخواهیم عدد باینری 0111 را به عدد باینری 1000 تبدیل نماییم و در هر مرحله تنها مجاز به تغییر حالت یک بیت باشیم، در طی چند مرحله این عمل انجام می شود؟ حال اگر کد گری متناظر با عدد باینری 0111 (0100) را به کد گری متناظر با عدد باینری 1000 (1100) تبدیل نمایید چند مرحله لازم است؟ از مقایسه این دو تبدیل چه نتیجه ای می گیرید؟

۳) مداری برای تولید بیت توازن فرد برای کلمه های چهار بیتی طراحی کنید.

۴) با استفاده از آی سی 7485 یک مقایسه گر ۱۶ بیتی بسازید.

آزمایش ششم: مدارهای دیکدر، انکدر، مالتی پلکسر و دی مالتی پلکسر

هدف آزمایش:

در این آزمایش دانشجو با مدارهای دیکدر (کد بردار)، انکدر (کدگذار)، مالتی پلکسر (انتخاب کننده داده) و دی مالتی پلکسر (پخش کننده داده) آشنا می شود و آن ها را طراحی کرده و مورد بررسی قرار می دهد.

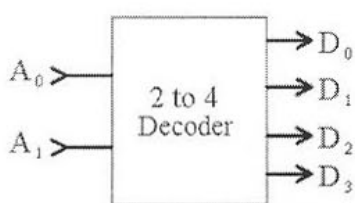
وسایل لازم:

منبع تغذیه، صفحه آزمایش، دیود نورانی، تراشه های 7400، 7408 و 74153.

تئوری آزمایش:

دیکدر (کد بردار):

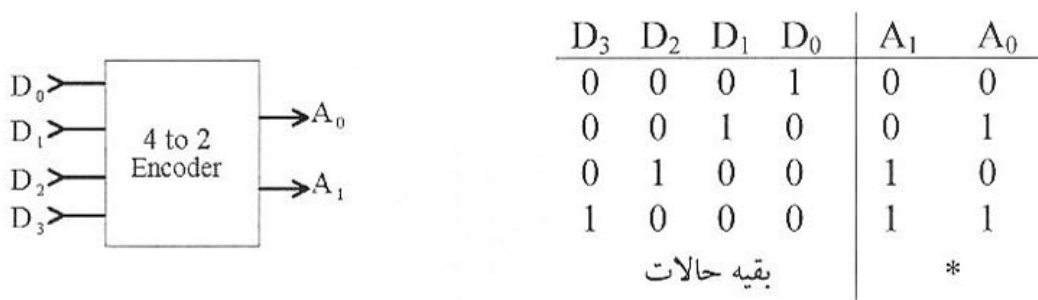
دیکدر n به 2^n ، یک شبکه منطقی ترکیبی شامل n ورودی و 2^n سیگنال خروجی می باشد. برای هر حالت ورودی، فقط و فقط یک خروجی در منطق یک است. بنابراین می توان دیکدر n به 2^n را مولد مینترم تصور کرد، که هر خروجی اش دقیقاً یک مینترم است. از دیکدرها برای کارهایی همچون گزینش کلمه ای خاص از میان بسیاری که در حافظه قرار دارند، تبدیل کد (مثل دودویی به ده دهی) و راه دهی (Routing) داده ها استفاده می شود. دیکدرها و دیگر ماژول های عملیاتی اغلب دارای یک یا چند ورودی فعال ساز می باشند که می توانند برای غیرفعال و یا فعال کردن آن ها مورد استفاده قرار گیرند. در شکل زیر بلوک دیاگرام و جدول درستی یک دیکدر ۲ به ۴ را مشاهده می کنید. بر اساس حالت های مختلف ورودی ها، یکی از خروجی ها ۱ می شود و بقیه صفر می باشند.



A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

انکدر (کدگذار):

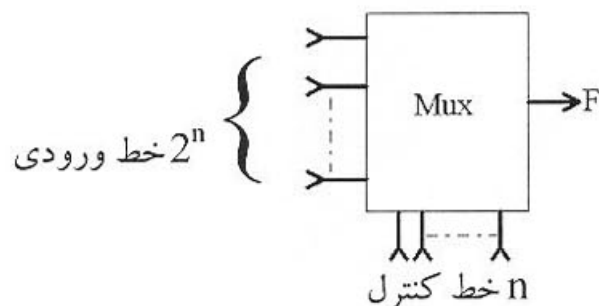
انکدر یک ماژول منطقی ترکیبی است که برای هر سیگنال ورودی به دستگاه، یک کد خروجی منحصر به فردی را اختصاص می دهد. چنین عملی بر خلاف عملکرد دیکدر است. مدار انکدر دارای 2^n خط ورودی و n خط خروجی است. ابتدا حالتی را در نظر می گیریم که ورودی ها متقابلاً جدا از یکدیگر هستند یعنی در هر لحظه از زمان فقط و فقط یک ورودی فعال می باشد و هرگز دو یا چند ورودی به طور هم زمان فعال نمی شوند. در این حالت خطوط خروجی آدرس، خطی را که فعال و با بقیه متفاوت است را مشخص می کند، در این حالت ترکیبات ورودی که هرگز رخ نمی دهند، ممکن است به عنوان حالات بی اهمیت به کار روند. در شکل زیر بلوک دیاگرام و جدول درستی انکدر ۴ به ۲ را مشاهده کنید.



نوع دیگری از انکدرها، انکدر اولویت‌دار می‌باشد. انکدر اولویت‌دار اجازه می‌دهد تا چند خط ورودی فعال شوند، ولی عدد دودویی خارج شده مربوط به آن اندیسی از ورودی است که در خطوط ورودی، بالاترین اولویت را دارد. اگر هیچ یک از خطوط ورودی فعال نباشد، انکدر با اولویت خروجی، صفر را تولید می‌نماید. اگر فقط یک خط فعال باشد انکدر مقدار دودویی اندیس خط فعال را خارج می‌کند. اگر بیش از یک ورودی فعال باشد، انکدر مقدار عددی اندیس بزرگ‌تر خطوط فعال را بیرون می‌فرستد.

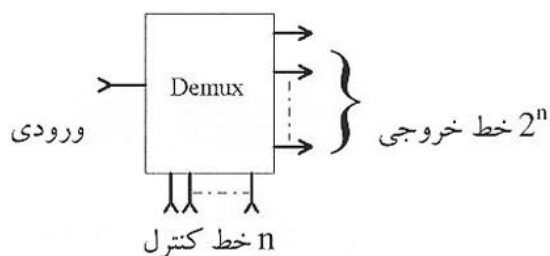
مالتی پلکسر (انتخاب‌کننده داده):

یک ماژول منطقی ترکیبی است که یکی از چند خط ورودی را انتخاب و آن را روی خط خروجی ظاهر می‌سازد. مداری است با n خط کنترل (به عنوان آدرس) و حداکثر 2^n خط ورودی (به عنوان اطلاعات) که بر اساس فرمانی که توسط خطوط کنترل دریافت می‌کند، یکی از ورودی‌ها را به تنها خروجی منتقل می‌کند. در شکل زیر بلوک دیاگرام یک انتخاب‌کننده (MUX) را مشاهده می‌کنید.



دی مالتی پلکسر (پخش‌کننده داده):

یک ماژول است که یک خط ورودی را گرفته و آن را به یکی از چند خروجی مرتبط می‌کند. مداری است با n خط کنترل به عنوان آدرس، 2^n خط خروجی و تنها یک ورودی جهت ورود اطلاعات. بر اساس فرمانی که بر روی خط کنترل می‌آید، ورودی به یکی از خروجی‌ها منتقل می‌شود. شکل زیر بلوک دیاگرام مربوط به یک پخش‌کننده داده را نشان می‌دهد.



تمرینات اولیه:

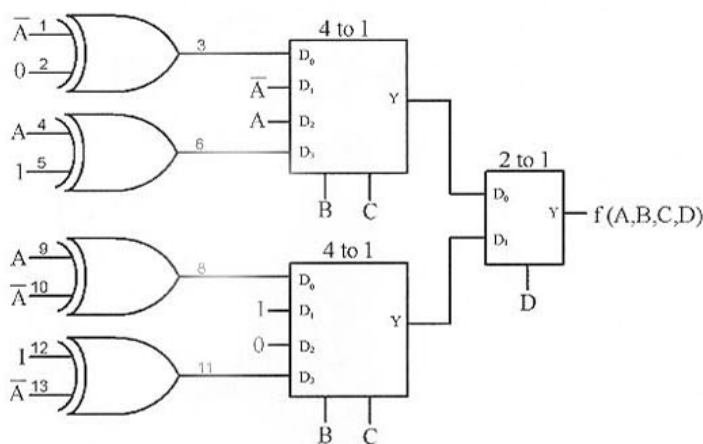
- (۱) با استفاده از آی‌سی‌های 7404 و 7408 یک دیکدر ۲ به ۴ طراحی کنید.
- (۲) با استفاده از آی‌سی 7400 یک انکدر ۴ به ۲ طراحی کنید.
- (۳) با استفاده از آی‌سی 7400 یک مالتی پلکسر ۲ به ۱ طراحی کنید.
- (۴) با استفاده از آی‌سی 7400 یک دی مالتی پلکسر ۱ به ۴ طراحی کنید.
- (۵) با استفاده از یک انتخاب‌کننده داده ۴ به ۱، تابع $F(A,B,C) = \sum(0,2,4,5)$ را طراحی کنید.

مراحل انجام آزمایش:

- الف) مدارهای دیکدر ۲ به ۴ و مالتی پلکسر ۲ به ۱ را که در قسمت قبل طراحی نموده‌اید را بسته و آن‌ها را مورد آزمایش قرار داده و نتایج را یادداشت کنید. خروجی‌ها را توسط LED مشاهده کنید.
- ب) با استفاده از آی‌سی 74153 مداری که در تمرین ۵ طراحی نموده‌اید را بر روی صفحه آزمایش بسته و آن را مورد آزمایش قرار دهید.

پرسش‌ها:

- (۱) با استفاده از دیکدرهای ۲ به ۴ دیکدرهای ۳ به ۸ و ۴ به ۱۶ را طراحی کنید.
- (۲) با استفاده از مالتی پلکسرهای ۴ به ۱ یک مالتی پلکسر ۱۶ به ۱ را طراحی کنید.
- (۳) تابع $f(a,b,c)=ab+bc$ را با یک مالتی پلکسر ۴ به ۱ پیاده سازی کنید.
- (۴) برای مدار شکل زیر لیست مینترم تابع $f(A,B,C,D)$ را پیدا کنید:



آزمایش هفتم: نمایشگر هفت‌قسمتی (7-Segment)

هدف آزمایش:

در این آزمایش دانشجو با نمایشگر هفت‌قسمتی و تراشه‌های کدبردار BCD به نمایشگر هفت‌قسمتی و طراحی آن‌ها آشنا می‌شود و آن‌ها را مورد بررسی می‌کند.

وسایل لازم:

منبع تغذیه، صفحه آزمایش، نمایشگر هفت‌قسمتی کاتد مشترک و تراشه‌های 7400، 7448، 7486 و 4511.

تئوری آزمایش:

برای نشان دادن اعداد ذخیره شده در ثبات‌ها و یا شمارنده‌ها، می‌توان از نمایشگرهای هفت‌قسمتی استفاده کرد. نمایشگرهای هفت‌قسمتی از هفت دیود منتشر کننده نور (در بعضی موارد یک دیود هم برای نقطه اعشاری) ساخته شده‌اند. ترکیبات انتخابی LEDها، برای ایجاد ارقام عددی و دیگر سمبل‌ها روشن می‌شوند. یک LED، هنگامی که ولتاژ در ورودی آن به اندازه کافی مثبت‌تر از ولتاژ در کاتد باشد، روشن می‌شود. برای حداقل کردن تعداد سیگنال‌های کنترل، آندهای LEDها معمولاً در یک نقطه مشترک به هم وصل شده‌اند و لذا آن را آنند مشترک می‌نامند و یا کاتدها به هم وصل شده‌اند که آن را کاتد مشترک می‌گویند. در پیکربندی آنند مشترک، آنند معمولاً به ولتاژ بالا متصل شده و کاتدها به طور جداگانه کنترل می‌شوند. در نتیجه اعمال یک ولتاژ منطق صفر موجب روشن شدن آن LED می‌گردد. در صورتی که یک منطقی، LED را غیر فعال می‌سازد. وضعیت پیکربندی کاتد مشترک بر عکس آنند مشترک است. با توجه به خاموش و روشن شدن LEDها می‌توان ارقام و اشکال مختلفی را بر روی نمایشگر هفت‌قسمتی مشاهده کرد.

تمرینات اولیه:

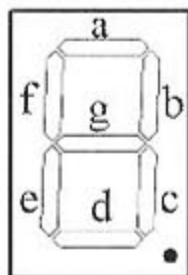
(۱) یک مدار ترکیبی طراحی کنید که ورودی آن چهار بیت A، B، C و D بوده و خروجی‌های آن به ازای ترکیبات 1111، 1110، 1101 و 1100 به ترتیب علائم S (5)، Y (4)، H (3) و A (2) را روی یک نمایشگر هفت‌قسمتی کاتد مشترک نمایش دهد. بقیه ورودی‌ها غیر مجاز باشند.

(۲) با استفاده از مراجع و کاتالوگ‌هایی که در اختیار دارید، مشخصات کامل و نحوه کار تراشه‌های 7447 و 7448 و 4511 را مطالعه نمایید.

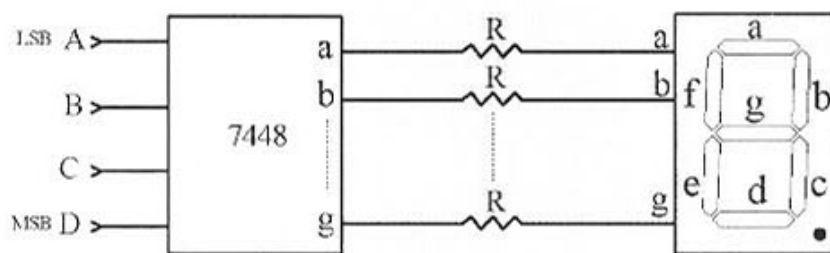
مراحل انجام آزمایش:

(الف) یک نمایشگر هفت‌قسمتی را بر روی صفحه آزمایش قرار داده و ارتباط بین پایه‌ها و دیودهای نورانی a تا g را به دست آورید. برای این کار در نمایشگر هفت‌قسمتی آنند مشترک (کاتد مشترک) سر مشترک را توسط یک مقاومت حداقل ۱۰۰ اهم به ولتاژ بالا (ولتاژ پایین برای کاتد مشترک) متصل می‌کنیم، سپس با اتصال ولتاژ پایین (ولتاژ بالا) به هر یک از پایه‌ها و

روشن شدن هر یک از دیودهای نورانی a تا g ارتباط بین پایه‌ها و دیودهای نورانی را به دست می‌آوریم و نام هر دیود نورانی را بر روی پایه مربوط به آن می‌نویسیم.



ب) تراشه 7448 را مطابق شکل زیر به یک نمایشگر هفت‌قسمتی کاتد مشترک متصل کرده و به ازای کلیه حالات ورودی (0000 تا 1111) علائم مشاهده شده بر روی نمایشگر را یادداشت کنید. توجه داشته باشید که مقاومت‌های نشان داده شده در شکل جهت جلوگیری از سوختن نمایشگر و تراشه ضروری می‌باشد.

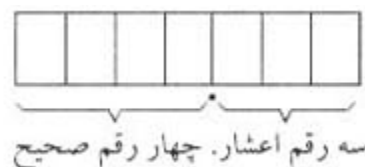


- حال پایه شماره ۳ تراشه (Lamp Test) را به ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی، علائمی که بر روی نمایشگر ظاهر می‌شود را یادداشت کنید و کار پایه LT را نتیجه‌گیری کنید.
- مدار را به حالت اولیه برگردانید و حال پایه شماره ۴ تراشه را به ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی، علائمی که بر روی نمایشگر ظاهر می‌شود را یادداشت کرده و کار پایه شماره ۴ را نتیجه بگیرید.
- مدار را به حالت اولیه برگردانید، سپس پایه شماره ۵ تراشه را به ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی (0000 تا 1111) اشکال نشان داده شده توسط نمایشگر را یادداشت کنید. همچنین در هر حالت، ولتاژ پایه شماره ۴ را با یک LED یا پروب منطقی تشخیص دهید.
- ج) تراشه 4511 را که از خانواده CMOS و یک کدبردار BCD به نمایشگر هفت‌قسمتی می‌باشد را توسط مقاومت‌های مناسب (بین ۱۰۰ تا ۳۰۰ اهم) به یک نمایشگر هفت‌قسمتی کاتد مشترک متصل نموده، سپس پایه LT و BL را به ولتاژ بالا و LE را به ولتاژ پایین متصل کنید. حال به ازای کلیه حالات ورودی (0000 تا 1111)، علائمی را که بر روی نمایشگر ظاهر می‌شود را یادداشت کنید.
- حال پایه شماره ۳ تراشه (LT) را ولتاژ Low وصل نموده و به ازای حالت‌های مختلف ورودی، علائم نشان داده شده را یادداشت کنید و کار این پایه را نتیجه بگیرید.

- مدار را به حالت اولیه برگردانید و سپس پایه شماره ۴ تراشه (BL) را به ولتاژ Low وصل کرده و به ازای ترکیبات مختلف ورودی، نتایج را مشاهده و یادداشت کنید.
- مدار را به حالت اولیه برگردانید، سپس یک ورودی بین ۱ تا ۹ را انتخاب کرده و به تراشه اعمال کنید. سپس پایه شماره ۵ تراشه را به ولتاژ بالا وصل کرده و ورودی را چندین بار تغییر دهید. با مشاهده خروجی در هر حالت عملکرد این پایه را نتیجه بگیرید.

پرسش‌ها:

- (۱) نقش پایه Lamp Test در تراشه‌های 7448 و 4511 را بیان کنید.
- (۲) نحوه استفاده از پایه‌های Blanking-in و Blanking-out در تراشه 7448 را شرح دهید.
- (۳) نحوه استفاده از پایه‌های BI و Store در تراشه 4511 را شرح دهید.
- (۴) تراشه‌های 7448، 7447 و 4511 را با هم مقایسه کنید و تفاوت‌های اساسی آن‌ها را بیان کنید.
- (۵) جهت نمایش دادن یک عدد ده‌دهی از هفت نمایشگر کاتد مشترک استفاده شده است که طبق شکل زیر سه رقم آن اعشاری و چهار رقم صحیح را نشان می‌دهند. اگر از تراشه 7448 به عنوان کدبردار BCD به هفت‌قسمتی استفاده شود، در هر یک از حالات زیر اتصال لازم بین تراشه‌ها را طراحی و رسم نمایید:



- (۱-۵) صفرهای سمت چپ عدد صحیح نمایش داده نشود (مثلاً عدد 0065.505 به صورت 65.505 مشاهده شود).
- (۲-۵) صفرهای سمت راست قسمت اعشاری نمایش داده نشود (مثلاً عدد 1234.500 به صورت 1234.5 مشاهده شود).
- (۳-۵) دو حالت فوق به صورت هم‌زمان وجود داشته باشد (مثلاً عدد 0001.100 به صورت 1.1 مشاهده شود).

آزمایش هشتم: مدارهای ترتیبی

هدف آزمایش:

در این آزمایش دانشجویان با مدارهای ترتیبی و اجرای تشکیل دهنده آن‌ها آشنا می‌شوند و این اجزا را بررسی می‌کنند.

وسایل لازم:

منبع تغذیه، صفحه آزمایش، دیود نورانی، تراشه‌های 7400، 7404، 7408، 74107 و سیگنال ژنراتور.

تئوری آزمایش:

مدارهای ترتیبی، اطلاعات دودویی را از ورودی‌ها دریافت می‌کنند و این ورودی‌ها به همراه حالت عناصر حافظه، یک مقدار دودویی را در پایانه‌های خروجی مشخص می‌نماید. مدارهای ترتیبی از نظر مسائل زمانی سیگنال‌هایشان به دو نوع اساسی سنکرون و آسنکرون طبقه بندی می‌شوند. یک مدار ترتیبی سنکرون، سیستمی است که از روی سیگنال‌هایش در فواصل گسسته زمانی می‌توان عملکردش را تعیین نمود و در مقابل، عملکرد یک مدار ترتیبی آسنکرون به ترتیب تغییر سیگنال‌های ورودی آن که می‌توانند در هر لحظه از زمان روی مدار تأثیر کند وابسته است. عملکرد یک مدار ترتیبی سنکرون (همگام) به وسیله پالس همگام کننده‌ای به نام ساعت، که به حافظه مدار اعمال می‌گردد، کنترل می‌شود. مداری که با پالس ساعت کنترل می‌شود مدار ترتیبی همگام نامیده می‌شود. مداری را که فاقد سیگنال ساعت می‌باشد مدار ترتیبی غیر همگام می‌نامند. عناصر حافظه‌ای که به طور معمول در مدارهای ترتیبی آسنکرون به کار می‌روند قطعات تأخیر زمانی هستند و عناصر حافظه‌ای که در مدارهای ترتیبی با پالس ساعت به کار می‌روند فلیپ فلاپ نامیده می‌شوند. فلیپ فلاپ‌ها سلول‌های دودویی هستند که قادر به ذخیره یک بیت اطلاعات می‌باشند. یک فلیپ فلاپ قادر است تا وقتی که تحت تأثیر یک سیگنال ورودی برای تغییر حالت قرار نگرفته، یک حالت دودویی را به طور نامحدود در خود نگهداری کند. مدار یک فلیپ فلاپ دارای دو خروجی است (یکی برای مقدار طبیعی بیت ذخیره شده در آن و دیگری برای مکمل آن). تفاوت‌های اساسی که بین انواع گوناگون فلیپ فلاپ‌ها وجود دارد در تعداد ورودی‌هایشان و همچنین در طریقه تأثیر این ورودی‌ها بر حالت دودویی آن‌ها است.

پالس ساعتی که در مدارهای ترتیبی مورد استفاده قرار می‌گیرد یا حساس به سطح (سطح مثبت یا سطح منفی) هستند و یا حساس به لبه (لبه پایین‌رونده یا منفی و یا لبه بالا‌رونده یا مثبت).

مرسوم‌ترین انواع فلیپ فلاپ‌ها عبارت‌اند از: D، T، JK و SR.

فلیپ فلاپ‌های موجود در آی‌سی‌ها، گاهی ورودی‌های مخصوصی دارند که برای یک و صفر کردن فلیپ فلاپ استفاده می‌شوند. این ورودی‌ها پیش تنظیم مستقیم و پاک کردن مستقیم نامیده می‌شوند. این ورودی‌ها توسط یک سیگنال مثبت (منفی) روی فلیپ فلاپ تأثیر می‌کنند و برای این منظور نیاز به پالس ساعت ندارند. آن‌ها برای دادن یک حالت اولیه در ابتدای کار به فلیپ فلاپ مناسب هستند. کلید پاک می‌بایست همه فلیپ فلاپ‌ها را بدون نیاز به پالس ساعت، '0' نماید. بعضی از فلیپ فلاپ‌ها نیز دارای یک ورودی پیش تنظیم هستند که خروجی Q را در فلیپ فلاپ یک کرده و 'Q' را صفر

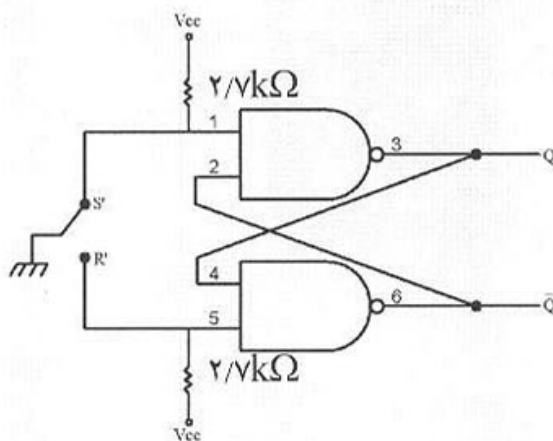
می‌کند. چون در این آزمایش، آشنایی عملی با فلیپ فلاپ‌ها مدنظر می‌باشد، لازم است قبل از آزمایش، مطالعه کافی در این زمینه داشته و ضمن شناخت انواع فلیپ فلاپ‌ها، با مفاهیم همگام، ناهمگام، تریگر سطح و تریگر لبه نیز آشنا باشید.

تولید کلاک دستی (بدون نویز کلید):

هنگامی که با یک سوئیچ یا یک قطعه سیم (با اتصال به GND یا VCC) بخواهیم کلاک دستی تولید کنیم بایستی اغتشاش یا نویز حاصل هنگام قطع یا وصل کلید را برطرف کنیم. اغتشاش کلید به علت ارتعاشات نامحسوسی (زمانی حدود 10^{ms}) می‌باشد که هنگام زدن کلید به وجود می‌آید، مانند شکل زیر:



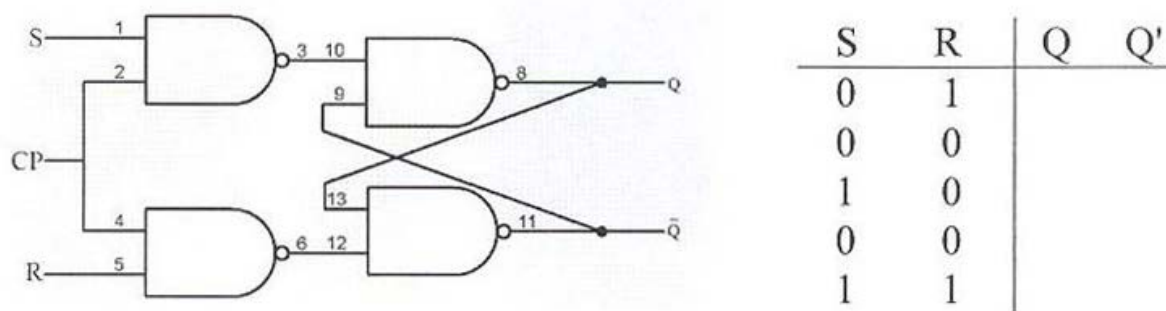
اغتشاش کلید می‌تواند باعث نتایج اشتباه در مدارات ترتیبی گردد. برای مثال در یک شمارنده باعث شمارش نامنظم می‌گردد. بنابراین بایستی آن را از کلاک دستی یا سوئیچ حذف نمود. برای این منظور می‌توان از مدار زیر استفاده نمود.



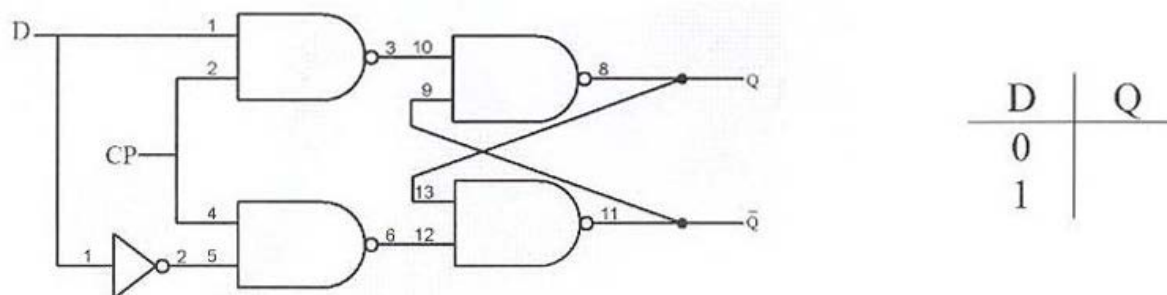
مدار فوق یک فلیپ فلاپ پایه است، که حالت بی اثر آن به ازای '1' و '1' روی پایه‌های S' و R' می‌باشد. با توجه به اضافه شدن مقاومت بین VCC و هریک از این پایه‌ها می‌توان مطمئن بود که هنگام آزاد بودن این پایه‌ها (وصل نبودن به سوئیچ) سطح '1' به ورودی دروازه NAND مربوط به آن پایه برسد. بنابراین اگر سوئیچ فوق به S' وصل شود خروجی Q سطح یک می‌شود و هرگونه ارتعاش کلید هنگام وصل به S' بی اثر روی نتیجه اولیه خواهد بود. تنها موقعی خروجی Q تغییر می‌کند که کلید به پایه R' وصل گردد و در این صورت نیز هرگونه ارتعاش سوئیچ نسبت به این پایه، بی اثر روی اولین نتیجه (سطح صفر Q) می‌باشد.

مراحل انجام آزمایش:

الف) مدار فلیپ فلاپ SR همگام را مطابق شکل زیر ببندید. با اعمال یک پالس مربعی با فرکانس کم به ورودی CP و تغییر دادن ورودی‌های R و S طرز کار مدار را بررسی نموده و جدول مشخصه را تکمیل کنید. خروجی‌ها را به کمک LED مشاهده کنید. (برای تولید پالس مربعی با فرکانس کم از دستگاه سیگنال ژنراتور استفاده می‌کنیم. بدین صورت که فرکانس دستگاه را روی ۱ هرتز قرار داده و از خروجی TTL دستگاه خروجی گرفته و آن را به مدار اعمال می‌کنیم)

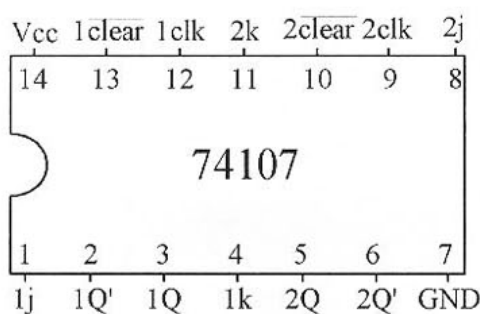


ب) با استفاده از فلیپ فلاپ SR آزمایش قبل، یک فلیپ فلاپ D مطابق شکل زیر بسازید و با مشاهده Q توسط دیود نورانی جدول مشخصه مدار را به دست آورید. برای دروازه NOT می‌توانید از آی‌سی 7404 استفاده کنید.



ج) مدار مربوط به تولید کلاک دستی گفته شده در بخش تئوری آزمایش را بسته و آن را برای حالت‌های مختلف بررسی کنید.

د) آی‌سی 74107 را که حاوی ۲ فلیپ فلاپ JK با پایه پاک‌کننده ($\overline{\text{Clear}}$) است را بر روی صفحه آزمایش قرار داده و عملکرد فلیپ فلاپ JK را به کمک آن بررسی کنید. پایه $\overline{\text{Clear}}$ با صفر فعال می‌شود. پس برای عملکرد عادی آی‌سی باید این پایه را به یک وصل کنید.



پرسش‌ها:

۱) چرا فلیپ فلاپ SR ورودی '1' و '1' را نمی‌تواند بپذیرد؟

۲) طرز کار و مشخصات تراشه‌های 7473 و 7476 را بررسی کرده و نحوه عملکرد پایه‌های $\overline{\text{Reset}}$ و $\overline{\text{Preset}}$ را بیان کنید.

آزمایش نهم: شمارنده‌ها

هدف آزمایش:

در این آزمایش دانشجویان با طراحی و نحوه عملکرد شمارنده‌های همگام و ناهمگام آشنا می‌شوند و آن‌ها را بررسی می‌کنند.

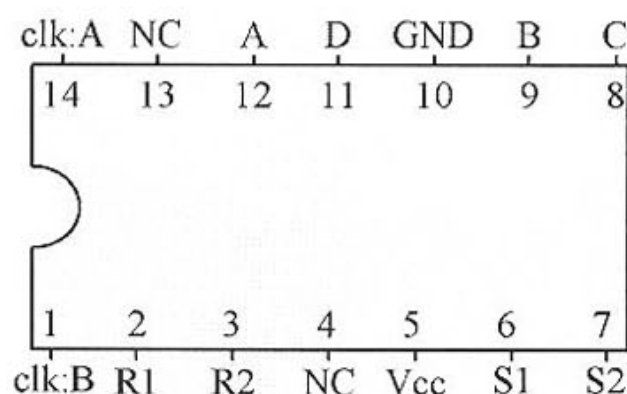
وسایل لازم:

منبع تغذیه، صفحه آزمایش، سیگنال ژنراتور، دیود نورانی، تراشه‌های 7408، 7486، 74107، 7474 و 7490.

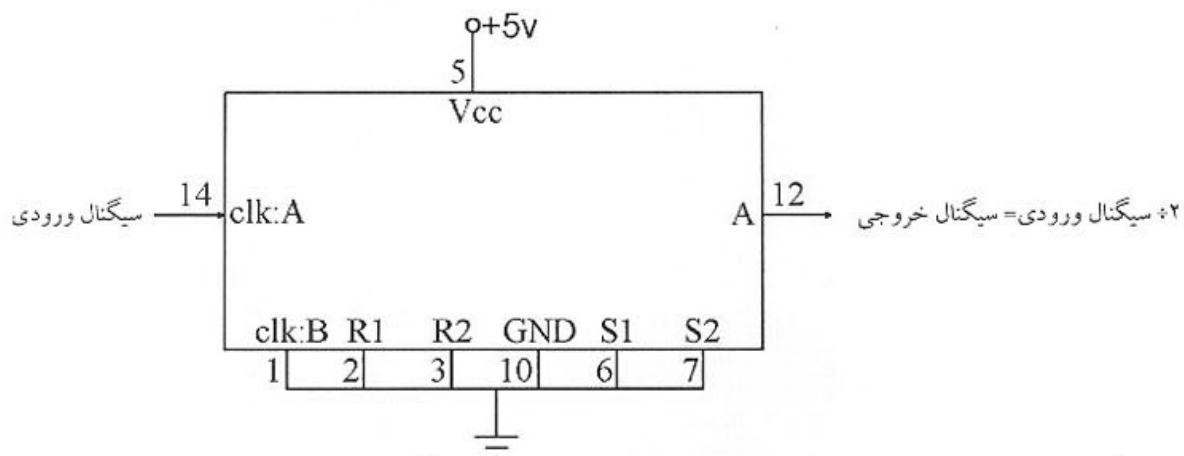
تئوری آزمایش:

شمارنده‌ها گروهی از مدارات منطقی هستند که یک سری از پالس‌های ورودی را می‌شمارند. این پالس‌ها ممکن است ذاتاً منظم یا غیرمنظم باشند. شمارنده بخشی اساسی از مدارهای منطقی دیجیتال است. از این وسیله در واحدهای زمانی، مدارهای کنترل، مدارهای سیگنال و تعداد زیادی از وسایل دیگر استفاده می‌شود. شمارنده‌هایی که با مدارات مجتمع ساخته می‌شوند، بر دو نوع به نام شمارنده‌های سنکرون و آسنکرون می‌باشند. در شمارنده‌های آسنکرون خروجی یک فلیپ فلاپ به طریقی به ورودی پالس ساعت دیگری متصل شده است، به طوری که باعث تریگر کردن فلیپ فلاپ بعدی می‌شود. در شمارنده‌های سنکرون ورودی پالس تمام فلیپ فلاپ‌ها به پالس ساعت اصلی متصل می‌باشد. به عبارت دیگر تمام فلیپ فلاپ‌ها در یک لحظه با هم تغییر می‌نمایند.

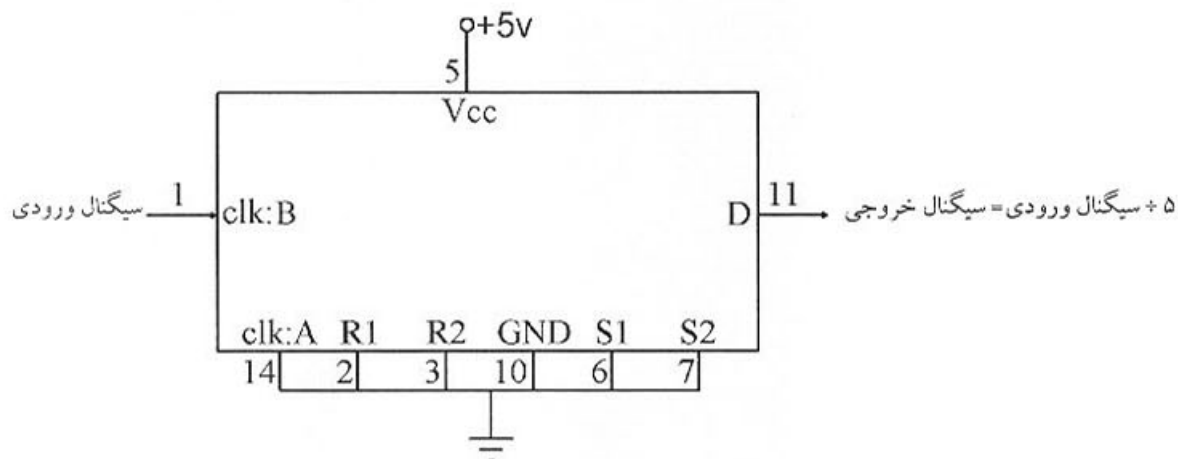
آی‌سی 7490 نوعی شمارنده / مقسم فرکانس قابل برنامه‌ریزی می‌باشد که از دو شمارنده مستقل تشکیل شده است. نسبت تقسیم یکی از این شمارنده‌ها ۲ و دیگری ۵ می‌باشد، که با لبه رو به پایین پالس ساعت تحریک می‌شوند. می‌توان این دو شمارنده را با یکدیگر مورد استفاده قرار داد. به این ترتیب نوعی شمارنده مبنای ۱۰ با کد دهی BCD، یا بدون آن، ایجاد می‌شود. همچنین می‌توان آن را طوری پیکربندی کرد که نسبت تقسیم شمارنده عددی بین ۲ تا ۹ باشد. شکل زیر نقشه عملی و نحوه قرار گرفتن پایه‌های آی‌سی را نشان می‌دهد.



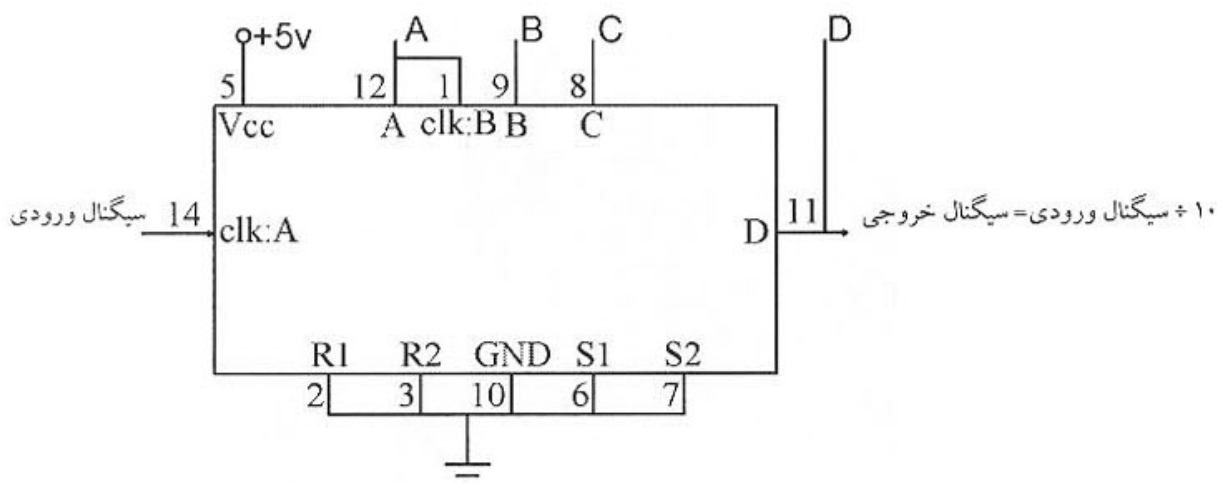
در شکل زیر فقط شمارنده نصف کننده فرکانس داخلی مورد استفاده قرار گرفته است. در این حالت آی‌سی به صورت شمارنده مبنای ۲ عمل می‌کند.



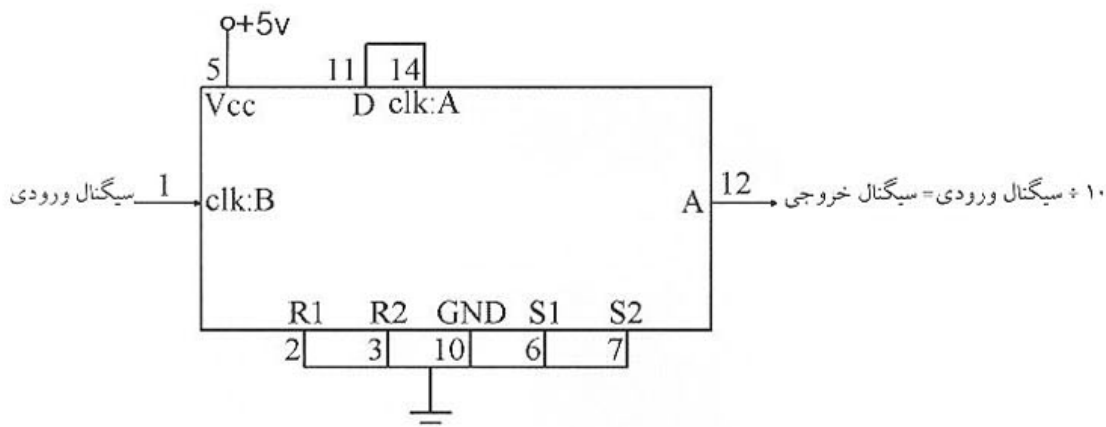
در شکل زیر فقط شمارنده / مقسم فرکانسی مورد استفاده قرار گرفته که نسبت تقسیم آن ۵ می باشد. در اینجا بخش نصف کننده فرکانس و گیت های کنترل کننده Reset و Set غیر فعال شده اند. بنابراین آی سی مزبور فقط به صورت شمارنده / مقسم فرکانس با نسبت تقسیم ۵ عمل می کند.



شکل زیر روش استفاده از آی سی 7490 در مبنای ۱۰ و با خروجی BCD را نشان می دهد. در اینجا هر دو شمارنده داخلی آی سی مورد استفاده قرار گرفته اند. توجه داشته باشید که خروجی نامتقارن می باشد.



شکل زیر روش استفاده از آی سی مزبور به صورت شمارنده مبنای ۱۰ و خروجی متقارن را نشان می‌دهد.

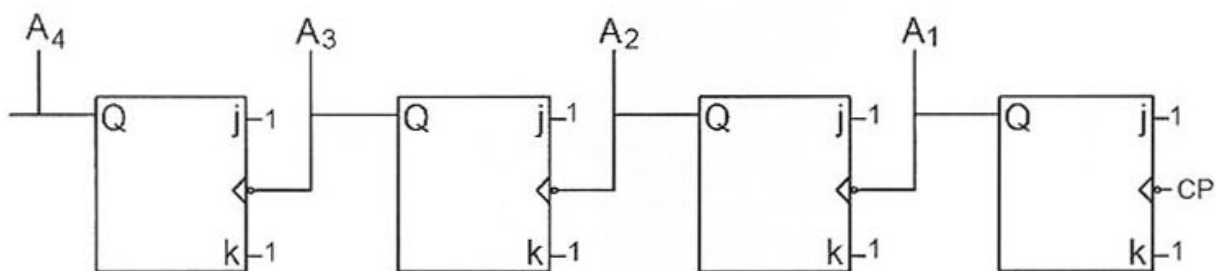


تمرینات اولیه:

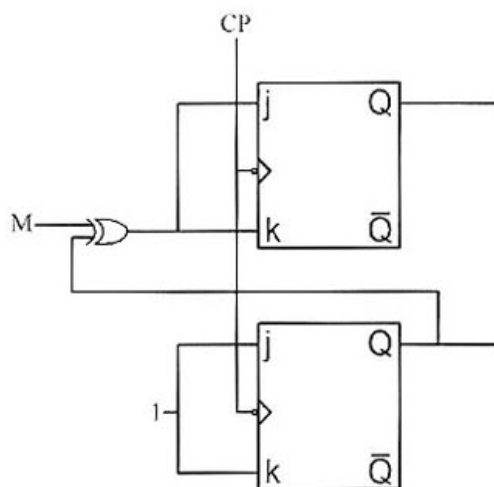
- (۱) یک شمارنده باینری چهار بیتی ناهمگام را به کمک فلیپ فلاپ‌های JK طراحی کنید.
- (۲) یک شمارنده باینری چهار بیتی همگام را به کمک فلیپ فلاپ‌های JK طراحی کنید.
- (۳) یک شمارنده BCD ناهمگام را به کمک فلیپ فلاپ‌های JK طراحی کنید.
- (۴) یک شمارنده همگام صعودی - نزولی مبنای چهار طراحی کنید. این شمارنده باید دارای یک ورودی کنترل M باشد به طوری که اگر $M=0$ باشد شمارنده نزولی و اگر $M=1$ باشد شمارنده صعودی بشمارد.
- (۵) یک شمارنده جانسون چهار بیتی همگام طراحی کنید.
- (۶) با استفاده از آی سی 7490 یک شمارنده مبنای ۱۰۰ به صورت ناهمگام طراحی کنید.

مراحل انجام آزمایش:

الف) با استفاده از آی سی 74107 مدار شمارنده باینری چهار بیتی ناهمگام (شکل زیر) را بسته و آن را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده کنید.



ب) با استفاده از آی سی 7486 و 74107 مدار شمارنده همگام صعودی - نزولی مبنای ۴ (شکل زیر) را بسته و به ازای ورودی M نحوه شمارش آن را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده کنید.



ج) یک تراشه 7490 را به ترتیب زیر مورد آزمایش قرار دهید:

- طرز کار قسمت ۲ ÷ را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده نمایید.
- طرز کار قسمت ۵ ÷ را بررسی کنید. خروجی‌ها را توسط دیود نورانی مشاهده نمایید.
- مدار را به صورت یک شمارنده BCD بسته و شمارش آن را به کمک دیودهای نورانی مشاهده کنید.

پرسش‌ها:

- ۱) محاسن و معایب شمارنده‌های همگام را نسبت به شمارنده‌های ناهمگام بنویسید.
- ۲) شمارنده‌های 74190 و 74191 را تشریح نمایید.
- ۳) با استفاده از آی سی 74190 یک شمارنده مبنای ۱۰۰ به صورت سنکرون طراحی کنید.

آزمایش دهم: ثبات‌های انتقالی

هدف آزمایش:

طراحی مدارهای ثبات‌های انتقالی و آشنایی با تراشه‌های مختلف مربوط به آن‌ها.

وسایل لازم:

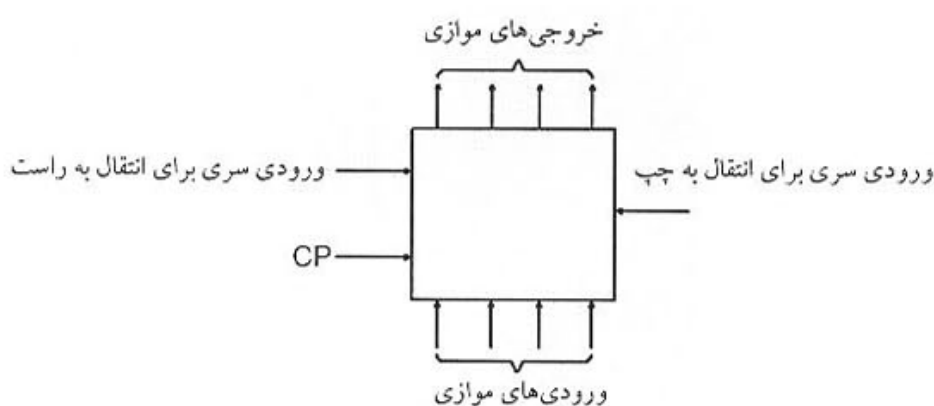
منبع تغذیه، صفحه آزمایش، سیگنال ژنراتور، دیود نورانی و تراشه‌های 7400، 7404، 7474، 74194، 4015 و 74153.

تئوری آزمایش:

شیفت رجیستر یا ثبات جابجایی یک ماژول منطقی ترتیبی است که از فلیپ فلاپ‌ها ساخته شده و مکان‌های بیتی داده‌های دودویی را به چپ یا به راست جابجا می‌کند. از شیفت رجیسترها می‌توان برای تبدیل داده‌های سریال به موازی و بالعکس استفاده کرد. اگر به خروجی کلیه فلیپ فلاپ‌ها در یک شیفت رجیستر دسترسی داشته باشیم، می‌توانیم اطلاعات را که به صورت سریال وارد شیفت رجیستر شده‌اند، به صورت موازی، از خروجی فلیپ فلاپ‌های آن بگیریم و همچنین اگر توانایی بار شدن موازی را به یک شیفت رجیستر اضافه کنیم، آنگاه می‌توانیم اطلاعاتی را که به صورت موازی وارد آن شده‌اند، به فرم سریال بازیابی کنیم.

تمرینات اولیه:

- یک ثبات انتقالی چهار بیتی، با قابلیت ورودی و خروجی متوالی برای انتقال به راست و چپ و ورودی و خروجی موازی (شکل زیر) را توسط تراشه‌های 7474 و 74153 طراحی کنید. (تذکر: خروجی متوالی مربوط به عمل انتقال به راست سر A_1 و خروجی متوالی متناظر با انتقال به چپ سر A_4 خواهد بود)



- با مشخصات و نحوه عمل سه تراشه 7495، 74194 و 4015 به طور کامل آشنا شوید.

- با استفاده از تراشه 4015، یک ثبات انتقالی هشت بیتی با قابلیت ورودی سری برای انتقال به راست طراحی نمایید.

مراحل انجام آزمایش:

الف) ثبات انتقالی را که خود طراحی نموده‌اید به طور کامل مورد آزمایش قرار داده و نتایج به دست آمده را یادداشت نمایید. برای مشاهده خروجی‌ها از دیود نورانی استفاده نمایید.

ب) آزمایش قسمت الف را برای تراشه 74194 تکرار نمایید.

ج) تراشه 4015 را به طور کامل مورد آزمایش قرار دهید و تمام مطالب ذکر شده در مورد آن را آزمایش کنید. نتایج به دست آمده را به طور کامل بنویسید.

پرسش‌ها:

۱) تراشه 7495 یک ثبات انتقالی ۴ بیتی با امکانات ورودی موازی و ورودی سری، انتقال به چپ و انتقال به راست می‌باشد. طرز کار را به طور کامل شرح دهید و سپس به کمک دو عدد از این تراشه یک ثبات انتقالی هشت بیتی انتقال به راست و بار دیگر انتقال به چپ طراحی کنید.

اطلاعات مربوط به IC های
مورد استفاده در آزمایشگاه

MM74HC00

Quad 2-Input NAND Gate

General Description

The MM74HC00 NAND gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. All gates have buffered outputs. All devices have high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 8 ns
- Wide power supply range: 2–6V
- Low quiescent current: 20 μ A maximum (74HC Series)
- Low input current: 1 μ A maximum
- Fanout of 10 LS-TTL loads

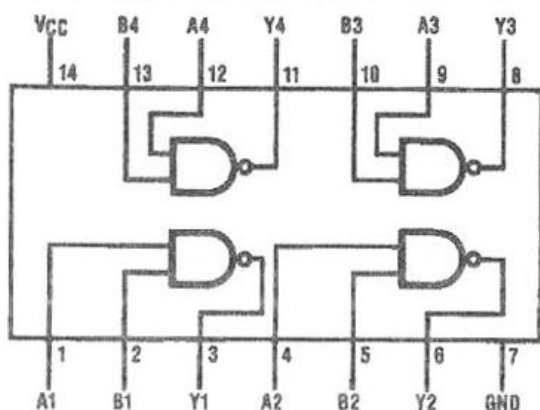
Ordering Code:

Order Number	Package Number	Package Description
MM74HC00M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC00MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC00SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC00MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC00MTCX_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC00N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC00N_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



Top View

Logic Diagram



MM74HC04 Hex Inverter

General Description

The MM74HC04 inverters utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits.

The MM74HC04 is a triple buffered inverter. It has high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

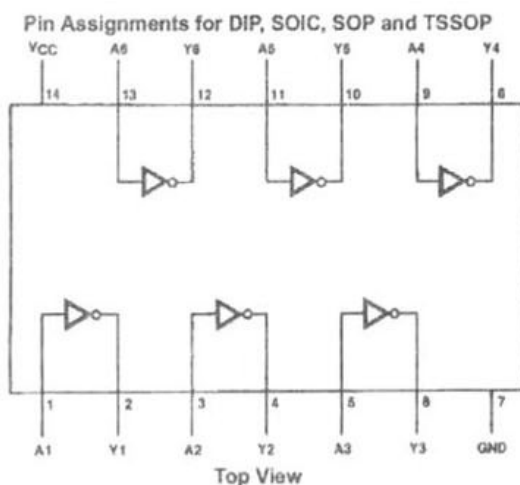
- Typical propagation delay: 8 ns
- Fan out of 10 LS-TTL loads
- Quiescent power consumption: 10 μ W maximum at room temperature
- Low input current: 1 μ A maximum

Ordering Code:

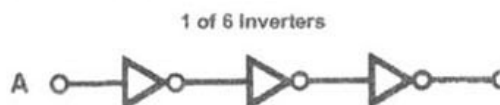
Order Number	Package Number	Package Description
MM74HC04M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC04M_NL		Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC04SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC04MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC04MTC_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC04N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC04N_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram



Logic Diagram



MM74HC08 Quad 2-Input AND Gate

General Description

The MM74HC08 AND gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. The HC08 has buffered outputs, providing high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

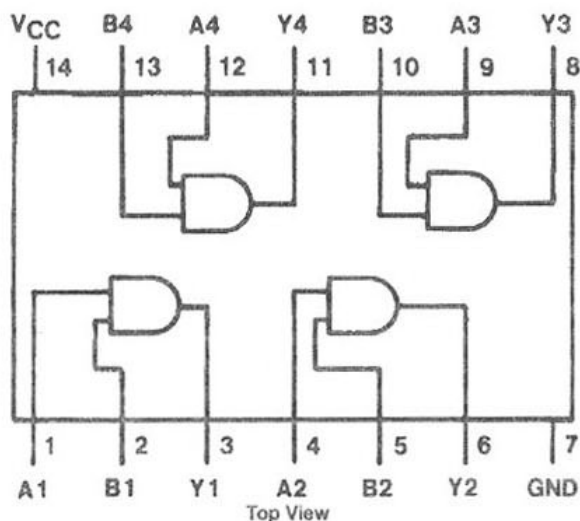
- Typical propagation delay: 7 ns (t_{pHL}), 12 ns (t_{pLH})
- Fanout of 10 LS-TTL loads
- Quiescent power consumption: 2 μ A maximum at room temperature
- Low input current: 1 μ A maximum

Ordering Code:

Order Number	Package Number	Package Description
MM74HC08M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC08MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC08SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC08MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC08MTCX-NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC08N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code. (Tape and Reel not available in N14A)
Pb-Free package per JEDEC J-STD-0208.

Connection Diagram



DM74ALS10A Triple 3-Input NAND Gate

General Description

This device contains three independent gates, each of which performs the logic NAND function.

Features

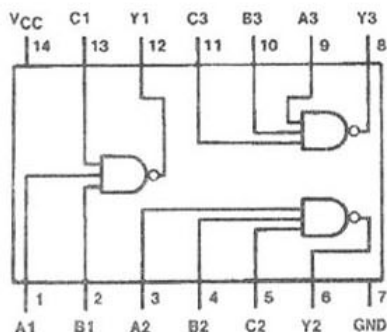
- Switching specifications at 50 pF
- Switching specifications guaranteed over full temperature and V_{CC} range
- Advanced oxide-isolated, ion-implanted Schottky TTL process
- Functionally and pin for pin compatible with Schottky and low power Schottky TTL counterpart
- Improved AC performance over Schottky and low power Schottky counterparts

Ordering Code:

Order Number	Package Number	Package Description
DM74ALS10AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74ALS10ASJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74ALS10AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{ABC}$$

Inputs			Output
A	B	C	Y
X	X	L	H
X	L	X	H
L	X	X	H
H	H	H	L

H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level

MM74HC32

Quad 2-Input OR Gate

General Description

The MM74HC32 OR gates utilize advanced silicon-gate CMOS technology to achieve operating speeds similar to LS-TTL gates with the low power consumption of standard CMOS integrated circuits. All gates have buffered outputs providing high noise immunity and the ability to drive 10 LS-TTL loads. The 74HC logic family is functionally as well as pin-out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

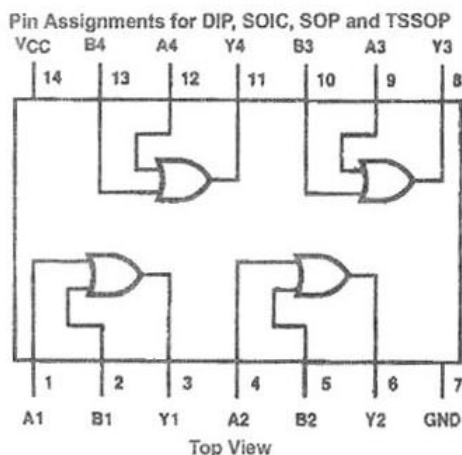
- Typical propagation delay: 10 ns
- Wide power supply range: 2–6V
- Low quiescent current: 20 μ A maximum (74HC Series)
- Low input current: 1 μ A maximum
- Fanout of 10 LS-TTL loads

Ordering Code:

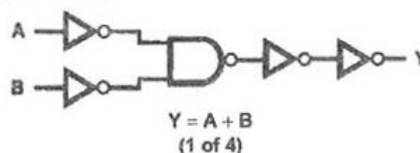
Order Number	Package Number	Package Description
MM74HC32M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC32MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC32SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC32MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC32MTCX_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC32N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC32N_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram



Logic Diagram



SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

SDLS111 - MARCH 1974 - REVISED MARCH 1988

'46A, '47A, 'LS47 feature

- Open-Collector Outputs Drive Indicators Directly
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

'48, 'LS48 feature

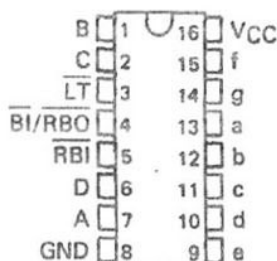
- Internal Pull-Ups Eliminate Need for External Resistors
- Lamp-Test Provision
- Leading/Trailing Zero Suppression

'LS49 feature

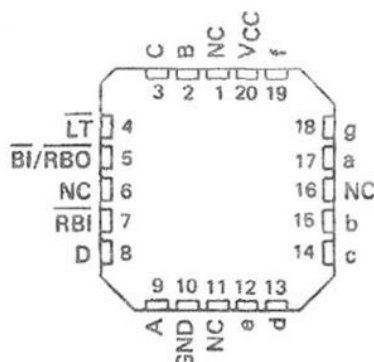
- Open-Collector Outputs
- Blanking Input

SN5446A, SN5447A, SN54LS47, SN5448,
SN54LS48 . . . J PACKAGE
SN7446A, SN7447A,
SN7448 . . . N PACKAGE
SN74LS47, SN74LS48 . . . D OR N PACKAGE

(TOP VIEW)

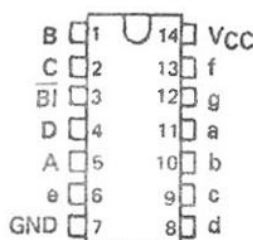


SN54LS47, SN54LS48 . . . FK PACKAGE
(TOP VIEW)

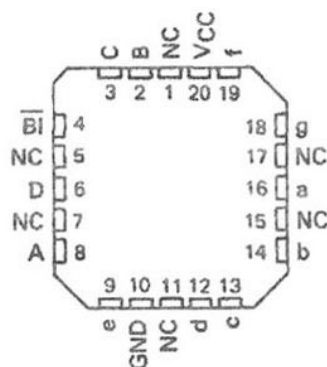


SN54LS49 . . . J OR W PACKAGE
SN74LS49 . . . D OR N PACKAGE

(TOP VIEW)



SN54LS49 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

SN5446A, '47A, '48, SN54LS47, 'LS48, 'LS49 SN7446A, '47A, '48, SN74LS47, 'LS48, 'LS49 BCD-TO-SEVEN-SEGMENT DECODERS/DRIVERS

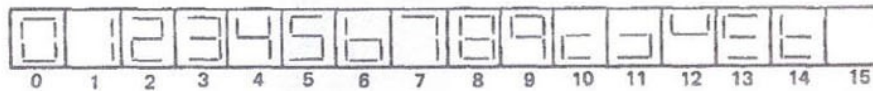
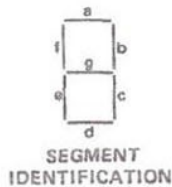
SDLS111 - MARCH 1974 - REVISED MARCH 1988

description

The '46A, '47A, and 'LS47 feature active-low outputs designed for driving common-anode LEDs or incandescent indicators directly. The '48, 'LS48, and 'LS49 feature active-high outputs for driving lamp buffers or common-cathode LEDs. All of the circuits except 'LS49 have full ripple-blanking input/output controls and a lamp test input. The 'LS49 circuit incorporates a direct blanking input. Segment identification and resultant displays are shown below. Display patterns for BCD input counts above 9 are unique symbols to authenticate input conditions.

The '46A, '47A, '48, 'LS47, and 'LS48 circuits incorporate automatic leading and/or trailing-edge zero-blanking control ($\overline{\text{RBI}}$ and $\overline{\text{RBO}}$). Lamp test ($\overline{\text{LT}}$) of these types may be performed at any time when the $\overline{\text{BI/RBO}}$ node is at a high level. All types (including the '49 and 'LS49) contain an overriding blanking input ($\overline{\text{BI}}$), which can be used to control the lamp intensity by pulsing or to inhibit the outputs. Inputs and outputs are entirely compatible for use with TTL logic outputs.

The SN54246/SN74246 and '247 and the SN54LS247/SN74LS247 and 'LS248 compose the $\overline{6}$ and the $\overline{9}$ with tails and were designed to offer the designer a choice between two indicator fonts.



'46A, '47A, 'LS47 FUNCTION TABLE (T1)

DECIMAL OR FUNCTION	INPUTS						$\overline{\text{BI/RBO}}^{\dagger}$	OUTPUTS							NOTE
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
$\overline{\text{BI}}$	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
$\overline{\text{RBI}}$	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
$\overline{\text{LT}}$	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

H = high level, L = low level, X = irrelevant

- NOTES: 1. The blanking input ($\overline{\text{BI}}$) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input ($\overline{\text{RBI}}$) must be open or high if blanking of a decimal zero is not desired.
2. When a low logic level is applied directly to the blanking input ($\overline{\text{BI}}$), all segment outputs are off regardless of the level of any other input.
3. When ripple-blanking input ($\overline{\text{RBI}}$) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go off and the ripple-blanking output ($\overline{\text{RBO}}$) goes to a low level (response condition).
4. When the blanking input/ripple blanking output ($\overline{\text{BI/RBO}}$) is open or held high and a low is applied to the lamp-test input, all segment outputs are on.

$^{\dagger}\overline{\text{BI/RBO}}$ is wire AND logic serving as blanking input ($\overline{\text{BI}}$) and/or ripple-blanking output ($\overline{\text{RBO}}$).

MM74HC74A

Dual D-Type Flip-Flop with Preset and Clear

General Description

The MM74HC74A utilizes advanced silicon-gate CMOS technology to achieve operating speeds similar to the equivalent LS-TTL part. It possesses the high noise immunity and low power consumption of standard CMOS integrated circuits, along with the ability to drive 10 LS-TTL loads.

This flip-flop has independent data, preset, clear, and clock inputs and Q and $\bar{Q}$ outputs. The logic level present at the data input is transferred to the output during the positive-going transition of the clock pulse. Preset and clear are independent of the clock and accomplished by a low level at the appropriate input.

The 74HC logic family is functionally and pinout compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

- Typical propagation delay: 20 ns
- Wide power supply range: 2–6V
- Low quiescent current: 40 μ A maximum (74HC Series)
- Low input current: 1 μ A maximum
- Fanout of 10 LS-TTL loads

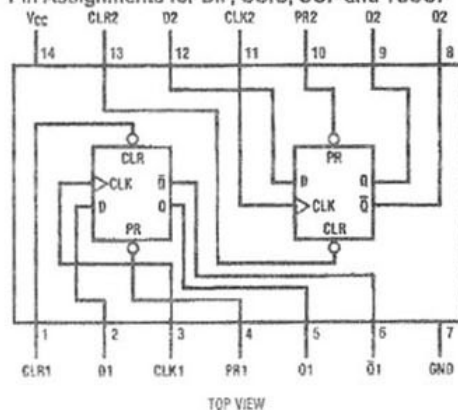
Ordering Code:

Order Number	Package Number	Package Description
MM74HC74AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC74AMX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC74ASJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC74AMTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC74AMTCX_NL	MTC14	Pb-Free 14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC74AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram

Pin Assignments for DIP, SOIC, SOP and TSSOP



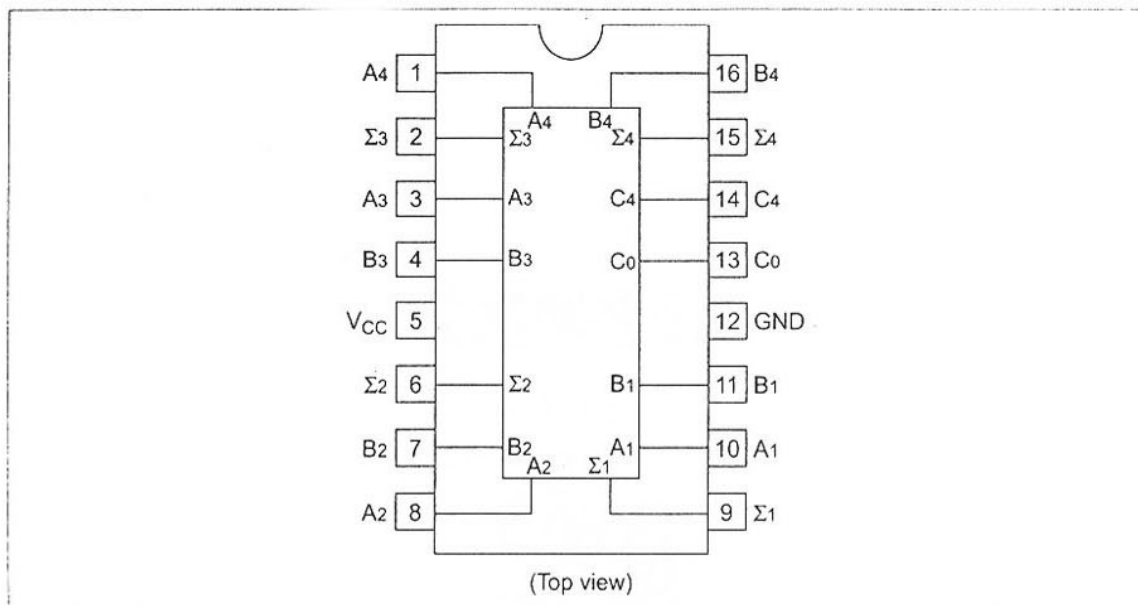
Truth Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q0	$\bar{Q}0$

Note: Q0 the level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (HIGH) level.

Pin Arrangement



Inputs				Outputs					
				When $C_0 = L$ /When $C_2 = L$			When $C_0 = H$ /When $C_2 = H$		
A_1/A_3	B_1/B_3	A_2/A_4	B_2/B_4	Σ_1/Σ_3	Σ_2/Σ_4	C_2/C_4	Σ_1/Σ_3	Σ_2/Σ_4	C_2/C_4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	H	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	H	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	H	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	H	H	L
H	L	L	H	H	H	L	L	L	H
L	H	L	H	H	H	L	L	L	H
H	H	L	H	L	L	H	H	L	H
L	L	H	H	L	L	H	H	L	H
H	L	H	H	H	L	H	L	H	H
L	H	H	H	H	L	H	L	H	H
H	H	H	H	L	H	H	H	H	H

H : High level

L : Low level

X : Irrelevant

Note: Input conditions at A_1 , B_1 , A_2 , B_2 and C_0 are used to determine outputs Σ_1 and Σ_2 and the value of the internal carry C_2 .

The value at C_2 , A_3 , B_3 , A_4 and B_4 are then used to determine outputs Σ_3 , Σ_4 and C_4 .

SN5485, SN54LS85, SN54S85 SN7485, SN74LS85, SN74S85 4-BIT MAGNITUDE COMPARATORS

SDLS123 - MARCH 1974 - REVISED MARCH 1988

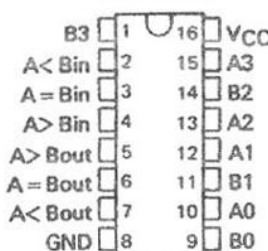
TYPE	TYPICAL POWER DISSIPATION	TYPICAL DELAY (4-BIT WORDS)
'85	275 mW	23 ns
LS85	52 mW	24 ns
S85	365 mW	11 ns

description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The $A > B$, $A < B$, and $A = B$ outputs of a stage handling less-significant bits are connected to the corresponding $A > B$, $A < B$, and $A = B$ inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the $A = B$ input. The cascading paths of the '85, LS85, and S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

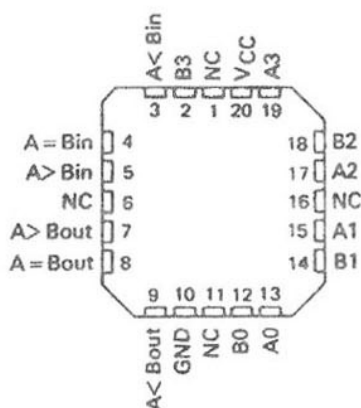
SN5485, SN54LS85, SN54S85 . . . J OR W PACKAGE
SN7485 . . . N PACKAGE
SN74LS85, SN74S85 . . . D OR N PACKAGE

(TOP VIEW)



SN54LS85, SN54S85 . . . FK PACKAGE

(TOP VIEW)



NC - No internal connection

FUNCTION TABLE

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A2 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

MM74HC86

Quad 2-Input Exclusive OR Gate

General Description

The MM74HC86 EXCLUSIVE OR gate utilizes advanced silicon-gate CMOS technology to achieve operating speeds similar to equivalent LS-TTL gates while maintaining the low power consumption and high noise immunity characteristic of standard CMOS integrated circuits. These gates are fully buffered and have a fanout of 10 LS-TTL loads. The 74HC logic family is functionally as well as pin out compatible with the standard 74LS logic family. All inputs are protected from damage due to static discharge by internal diode clamps to V_{CC} and ground.

Features

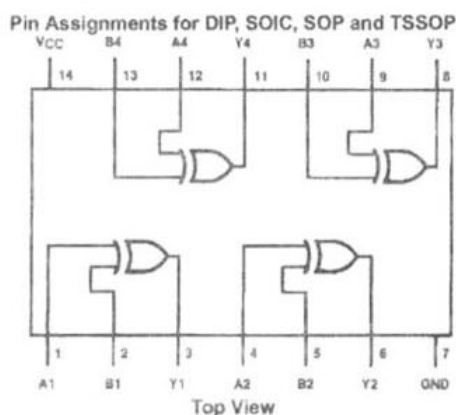
- Typical propagation delay: 9 ns
- Wide operating voltage range: 2–6V
- Low input current: 1 μ A maximum
- Low quiescent current: 20 μ A maximum (74 Series)
- Output drive capability: 10 LS-TTL loads

Ordering Code:

Order Number	Package Number	Package Description
MM74HC86M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC86MX_NL	M14A	Pb-Free 14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
MM74HC86SJ	M14D	Pb-Free 14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
MM74HC86MTC	MTC14	14-Lead Thin Shrink Small Outline Package (TSSOP), JEDEC MO-153, 4.4mm Wide
MM74HC86N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
MM74HC86NX_NL	N14A	Pb-Free 14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.
Pb-Free package per JEDEC J-STD-020B.

Connection Diagram



Truth Table

Inputs		Outputs
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

SN5490A, SN5492A, SN5493A, SN54LS90, SN54LS92, SN54LS93 SN7490A, SN7492A, SN7493A, SN74LS90, SN74LS92, SN74LS93 DECADE, DIVIDE-BY-TWELVE AND BINARY COUNTERS

SDLS940A - MARCH 1974 - REVISED MARCH 1988

'90A, 'LS90 . . . Decade Counters

'92A, 'LS92 . . . Divide By-Twelve Counters

'93A, 'LS93 . . . 4-Bit Binary Counters

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'92A, '93A	130 mW
'LS90, 'LS92, 'LS93	45 mW

description

Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three-stage binary counter for which the count cycle length is divide-by-five for the '90A and 'LS90, divide-by-six for the '92A and 'LS92, and the divide-by-eight for the '93A and 'LS93.

All of these counters have a gated zero reset and the '90A and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

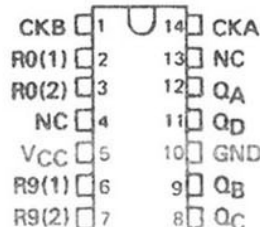
To use their maximum count length (decade, divide-by-twelve, or four-bit binary) of these counters, the CKB input is connected to the Q_A output. The input count pulses are applied to CKA input and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A or 'LS90 counters by connecting the Q_D output to the CKA input and applying the input count to the CKB input which gives a divide-by-ten square wave at output Q_A .

SN5490A, SN54LS90 . . . J OR W PACKAGE

SN7490A . . . N PACKAGE

SN74LS90 . . . D OR N PACKAGE

(TOP VIEW)

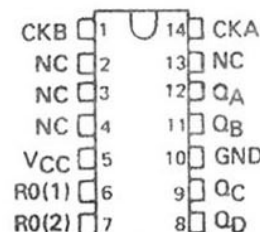


SN5492A, SN54LS92 . . . J OR W PACKAGE

SN7492A . . . N PACKAGE

SN74LS92 . . . D OR N PACKAGE

(TOP VIEW)

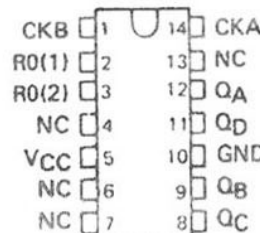


SN5493A, SN54LS93 . . . J OR W PACKAGE

SN7493 . . . N PACKAGE

SN74LS93 . . . D OR N PACKAGE

(TOP VIEW)



SN5490A, SN5492A, SN5493A, SN54LS90, SN54LS92, SN54LS93
 SN7490A, SN7492A, SN7493A, SN74LS90, SN74LS92, SN74LS93
 DECADE, DIVIDE-BY-TWELVE AND BINARY COUNTERS

SDLS940A - MARCH 1974 - REVISED MARCH 1988

'90A, 'LS90
 BCD COUNT SEQUENCE
 (See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

'90A, 'LS90
 BI-QUINARY (5-2)
 (See Note B)

COUNT	OUTPUT			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'92A, 'LS92
 COUNT SEQUENCE
 (See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	H	L	L	L
7	H	L	L	H
8	H	L	H	L
9	H	L	H	H
10	H	H	L	L
11	H	H	L	H

'90A, 'LS90
 RESET/COUNT FUNCTION TABLE

RESET INPUTS				OUTPUT			
R ₀ (1)	R ₀ (2)	R ₉ (1)	R ₉ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
X	L	X	L	COUNT			
L	X	L	X	COUNT			
L	X	X	L	COUNT			
X	L	L	X	COUNT			

'93A, 'LS93
 COUNT SEQUENCE
 (See Note C)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

'92A, 'LS92, '93A, 'LS93
 RESET/COUNT FUNCTION TABLE

RESET INPUTS		OUTPUT			
R ₀ (1)	R ₀ (2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

- NOTES: A. Output Q_A is connected to input CKB for BCD count.
 B. Output Q_D is connected to Input CKA for bi-quinary count.
 C. Output Q_A is connected to Input CKB.
 D. H = high level, L = low level, X = irrelevant

SN54107, SN54LS107A, SN74107, SN74LS107A DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS036 - DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

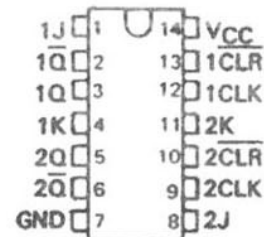
description

The '107 contain two independent J-K flip-flops with individual J-K, clock, and direct clear inputs. The '107 is a positive pulse-triggered flip-flop. The J-K input data is loaded into the master while the clock is high and transferred to the slave and the outputs on the high-to-low clock transition. For these devices the J and K inputs must be stable while the clock is high.

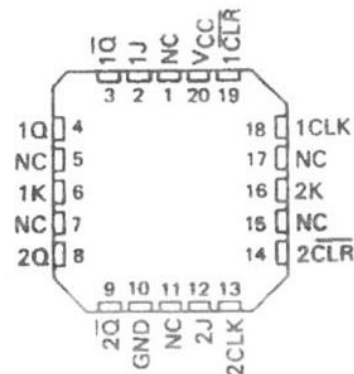
The LS107A contain two independent negative-edge-triggered flip-flops. The J and K inputs must be stable prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the $\bar{Q}$ output high.

The SN54107 and the SN54LS107A are characterized for operation over the full military temperature range of -55°C to 125°C . The SN74107 and the SN74LS107A are characterized for operation from 0°C to 70°C .

SN54107, SN54LS107A . . . J PACKAGE
SN74107 . . . N PACKAGE
SN74LS107A . . . D OR N PACKAGE
(TOP VIEW)



SN54LS107A . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

'107
FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{\text{CLR}}$	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	$\downarrow$	L	L	Q_0	$\bar{Q}_0$
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	H	TOGGLE	TOGGLE

LS107A
FUNCTION TABLE

INPUTS				OUTPUTS	
$\overline{\text{CLR}}$	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	$\downarrow$	L	L	Q_0	$\bar{Q}_0$
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	H	TOGGLE	TOGGLE
H	H	X	X	Q_0	$\bar{Q}_0$

Dual 4-input multiplexer

74HC/HCT153

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 15	$1\bar{E}, 2\bar{E}$	output enable inputs (active LOW)
14, 2	S_0, S_1	common data select inputs
6, 5, 4, 3	$1I_0$ to $1I_3$	data inputs from source 1
7	$1Y$	multiplexer output from source 1
8	GND	ground (0 V)
9	$2Y$	multiplexer output from source 2
10, 11, 12, 13	$2I_0$ to $2I_3$	data inputs from source 2
16	V_{CC}	positive supply voltage

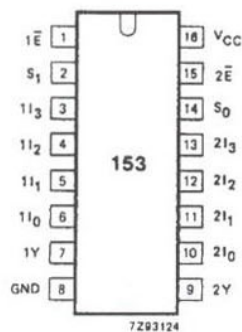


Fig.1 Pin configuration.

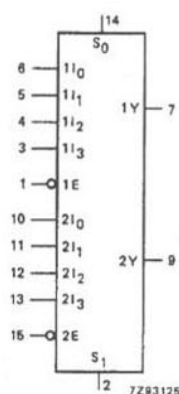


Fig.2 Logic symbol.

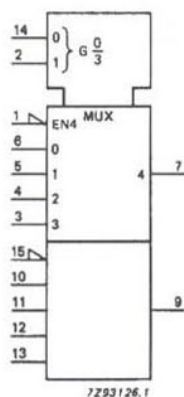


Fig.3 IEC logic symbol.

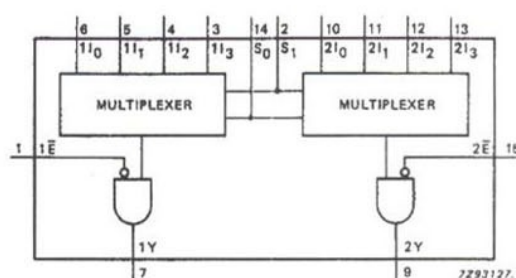


Fig.4 Functional diagram.

Dual 4-input multiplexer

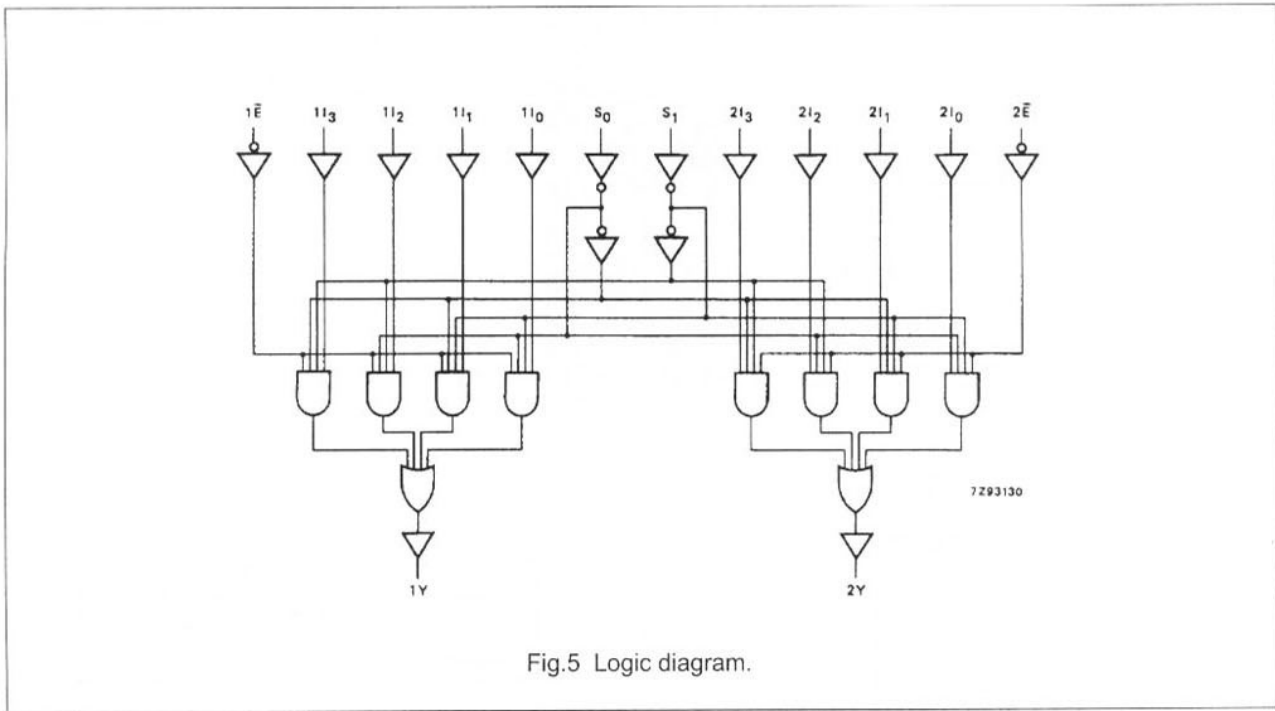
74HC/HCT153

FUNCTION TABLE

SELECT INPUTS		DATA INPUTS				OUTPUT ENABLE	OUTPUT
S ₀	S ₁	nl ₀	nl ₁	nl ₂	nl ₃	n $\bar{E}$	nY
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
H	L	X	L	X	X	L	L
H	L	X	H	X	X	L	H
L	H	X	X	L	X	L	L
L	H	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Note

- 1. H = HIGH voltage level
- L = LOW voltage level
- X = don't care

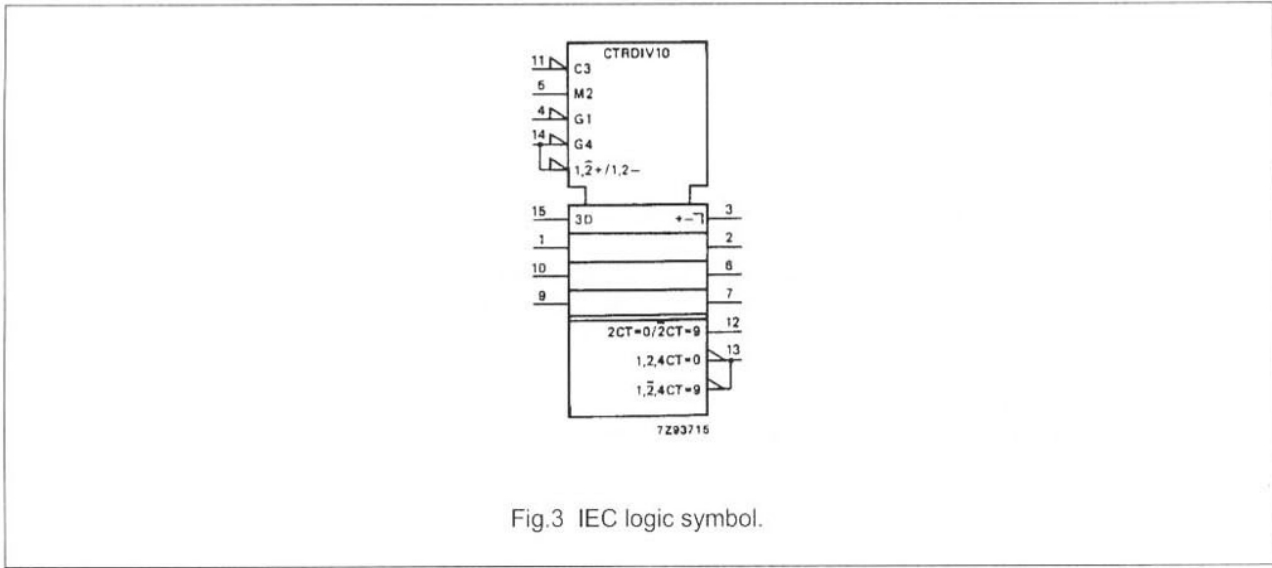
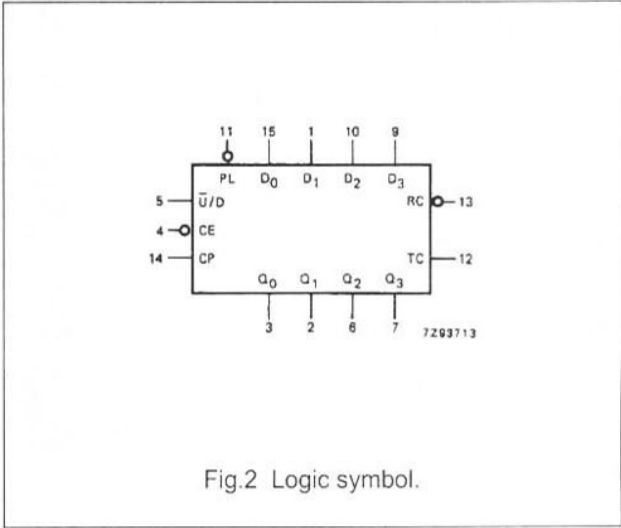
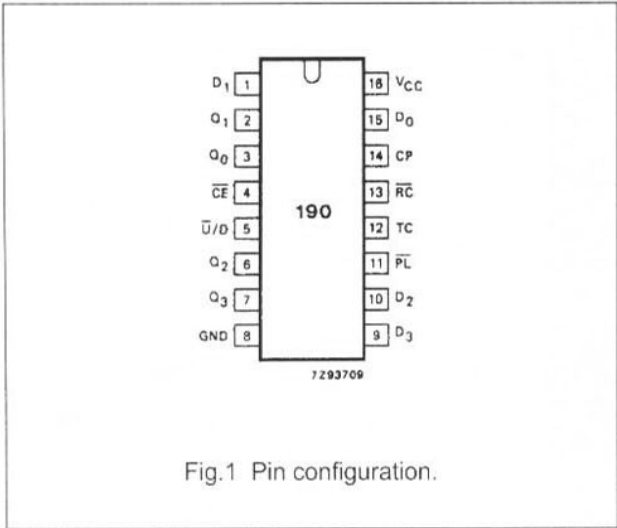


Presettable synchronous BCD decade
 up/down counter

74HC/HCT190

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q_0 to Q_3	flip-flop outputs
4	$\overline{CE}$	count enable input (active LOW)
5	$\overline{U/D}$	up/down input
8	GND	ground (0 V)
11	$\overline{PL}$	parallel load input (active LOW)
12	TC	terminal count output
13	$\overline{RC}$	ripple clock output (active LOW)
14	CP	clock input (LOW-to-HIGH, edge-triggered)
15, 1, 10, 9	D_0 to D_3	data inputs
16	V_{CC}	positive supply voltage



Presettable synchronous BCD decade up/down counter

74HC/HCT190

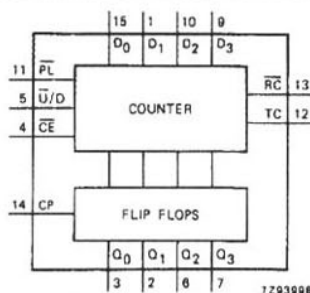


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS
	$\overline{\text{PL}}$	$\overline{\text{U/D}}$	$\overline{\text{CE}}$	CP	D_n	Q_n
parallel load	L	X	X	X	L	L
	L	X	X	X	H	H
count up	H	L	I	$\uparrow$	X	count up
count down	H	H	I	$\uparrow$	X	count down
hold (do nothing)	H	X	H	X	X	no change

TC AND RC FUNCTION TABLE

INPUTS			TERMINAL COUNT STATE				OUTPUTS	
$\overline{\text{U/D}}$	$\overline{\text{CE}}$	CP	Q_0	Q_1	Q_2	Q_3	TC	$\overline{\text{RC}}$
H	H	X	H	X	X	H	L	H
L	H	X	H	X	X	H	H	H
L	L		H	X	X	H		
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L		L	L	L	L		

Notes

- H = HIGH voltage level
L = LOW voltage level
I = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
X = don't care
 $\uparrow$ = LOW-to-HIGH CP transition

 = one LOW level pulse

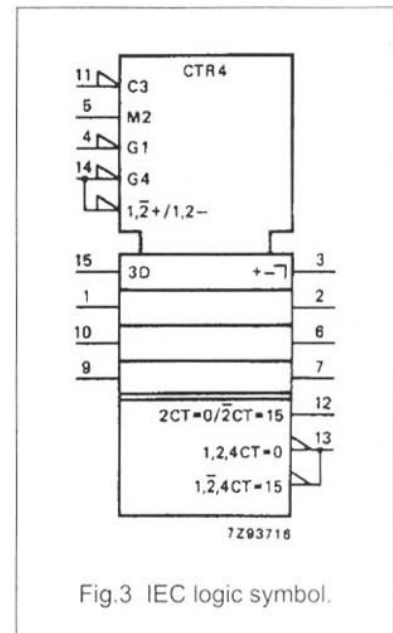
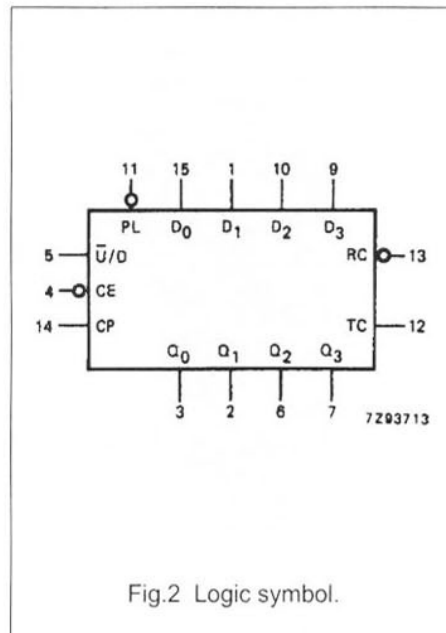
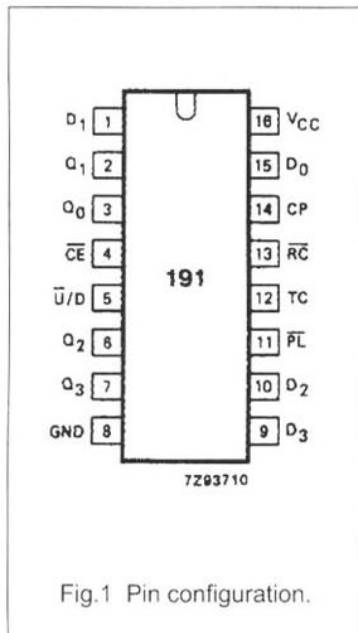
 = TC goes LOW on a LOW-to-HIGH CP transition

Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
3, 2, 6, 7	Q_0 to Q_3	flip-flop outputs
4	$\overline{CE}$	count enable input (active LOW)
5	$\overline{U/D}$	up/down input
8	GND	ground (0 V)
11	$\overline{PL}$	parallel load input (active LOW)
12	TC	terminal count output
13	$\overline{RC}$	ripple clock output (active LOW)
14	CP	clock input (LOW-to-HIGH, edge triggered)
15, 1, 10, 9	D_0 to D_3	data inputs
16	V_{CC}	positive supply voltage



Presettable synchronous 4-bit binary up/down counter

74HC/HCT191

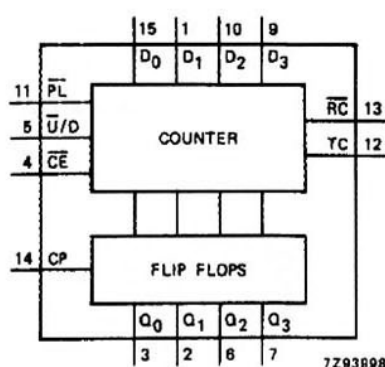


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS
	$\overline{PL}$	$\overline{U/D}$	$\overline{CE}$	CP	D_n	Q_n
parallel load	L	X	X	X	L	L
	L	X	X	X	H	H
count up	H	L	I	$\uparrow$	X	count up
count down	H	H	I	$\uparrow$	X	count down
hold (do nothing)	H	X	H	X	X	no change

TC AND RC FUNCTION TABLE

INPUTS			TERMINAL COUNT STATE				OUTPUTS	
$\overline{U/D}$	$\overline{CE}$	CP	Q_0	Q_1	Q_2	Q_3	TC	$\overline{RC}$
H	H	X	H	H	H	H	L	H
L	H	X	H	H	H	H	H	H
L	L		H	H	H	H		
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L		L	L	L	L		

Notes

- H = HIGH voltage level
 L = LOW voltage level
 I = LOW voltage level one set-up time prior to the LOW-to-HIGH CP transition
 X = don't care
 $\uparrow$ = LOW-to-HIGH CP transition
 = one LOW level pulse
 = TC goes LOW on a LOW-to-HIGH CP transition

CD4001BC/CD4011BC

Quad 2-Input NOR Buffered B Series Gate • Quad 2-Input NAND Buffered B Series Gate

General Description

The CD4001BC and CD4011BC quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to V_{DD} and V_{SS} .

Features

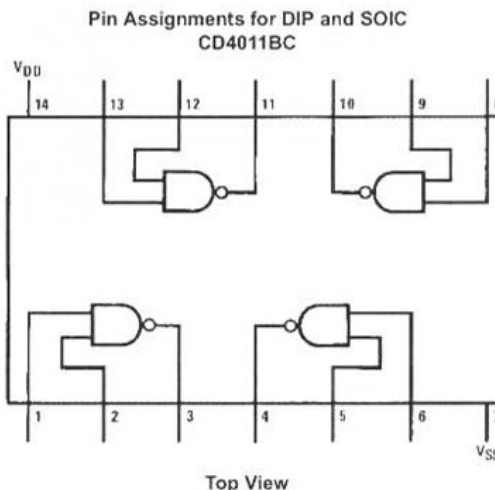
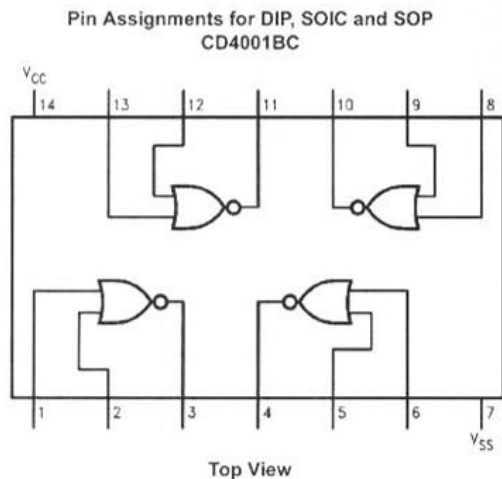
- Low power TTL:
 - Fan out of 2 driving 74L compatibility: or 1 driving 74LS
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 μ A at 15V over full temperature range

Ordering Code:

Order Number	Package Number	Package Description
CD4001BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4001BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4001BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4011BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4011BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagrams



CD4511BC

BCD-to-7 Segment Latch/Decoder/Driver

General Description

The CD4511BC BCD-to-seven segment latch/decoder/driver is constructed with complementary MOS (CMOS) enhancement mode devices and NPN bipolar output drivers in a single monolithic structure. The circuit provides the functions of a 4-bit storage latch, an 8421 BCD-to-seven segment decoder, and an output drive capability. Lamp test (LT), blanking (BI), and latch enable (LE) inputs are used to test the display, to turn-off or pulse modulate the brightness of the display, and to store a BCD code, respectively. It can be used with seven-segment light emitting diodes (LED), incandescent, fluorescent, gas discharge, or liquid crystal readouts either directly or indirectly.

Applications include instrument (e.g., counter, DVM, etc.) display driver, computer/calculator display driver, cockpit display driver, and various clock, watch, and timer uses.

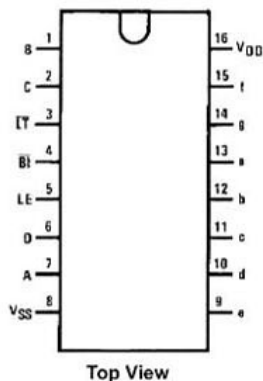
Features

- Low logic circuit power dissipation
- High current sourcing outputs (up to 25 mA)
- Latch storage of code
- Blanking input
- Lamp test provision
- Readout blanking on all illegal input combinations
- Lamp intensity modulation capability
- Time share (multiplexing) facility
- Equivalent to Motorola MC14511

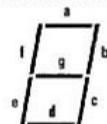
Ordering Code:

Order Number	Package Number	Package Description
CD4511BCWM	M16B	16-Lead Small Outline Intergrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
CD4511BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Connection Diagrams



Segment Identification



Truth Table

Inputs							Outputs							
LE	$\overline{\text{BI}}$	$\overline{\text{LT}}$	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	B
X	0	1	X	X	X	X	0	0	0	0	0	0	0	
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	
0	1	1	1	0	1	1	0	0	0	0	0	0	0	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	
0	1	1	1	1	0	1	0	0	0	0	0	0	0	
0	1	1	1	1	1	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	1	0	0	0	0	0	0	0	
1	1	1	X	X	X	X								

X = Don't Care

*Depends upon the BCD code applied during the 0 to 1 transition of LE.

Display

0	1	2	3	4	5	6	7	8	9
---	---	---	---	---	---	---	---	---	---

CD4001BC/CD4011BC

Quad 2-Input NOR Buffered B Series Gate • Quad 2-Input NAND Buffered B Series Gate

General Description

The CD4001BC and CD4011BC quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain.

All inputs are protected against static discharge with diodes to V_{DD} and V_{SS} .

Features

- Low power TTL:
Fan out of 2 driving 74L compatibility: or 1 driving 74LS
- 5V–10V–15V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 μ A at 15V over full temperature range

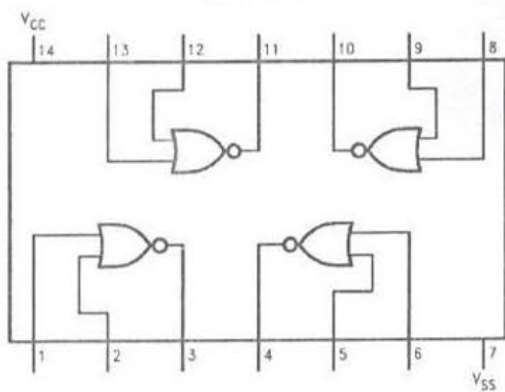
Ordering Code:

Order Number	Package Number	Package Description
CD4001BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4001BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4001BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4011BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4011BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

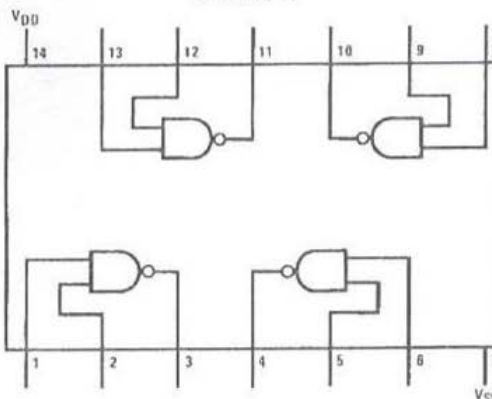
Connection Diagrams

Pin Assignments for DIP, SOIC and SOP
CD4001BC



Top View

Pin Assignments for DIP and SOIC
CD4011BC



Top View

